

申請日期	84 年 2 月 17 日
案 號	84101458
類 別	G09G 3/06, G06F 14/00

A4
C4

270993

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	矩陣型液晶顯示裝置及其驅動電路
	英 文	
二、發明 人	姓 名	(1) 西谷茂之 (2) 真野宏之 (3) 古橋勉
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國神奈川縣横浜市戸塚區吉田町五九四 日立吉田アパート二五五 (2) 日本國神奈川縣茅ヶ崎市東海岸南六丁目一 二九 ハミング日立 (3) 日本國神奈川縣横浜市戸塚區吉田町一五四五 日広八幡山アパート一四三號
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番 地
	代 表 人 姓 名	(1) 金井務

裝

訂

線

270993

申請日期	84 年 2 月 17 日
案 號	84101458
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

~~新 型~~

一、發明 名稱 新型	中 文	
	英 文	
二、發明人 創作	姓 名	<input type="checkbox"/> 工藤泰幸 <input type="checkbox"/> 犬塚達裕 <input type="checkbox"/> 二見利男
	國 籍	<input type="checkbox"/> 日本 <input type="checkbox"/> 日本 <input type="checkbox"/> 日本 <input type="checkbox"/> 日本國神奈川縣横浜市港南區上永谷五-七-二四
	住、居所	<input type="checkbox"/> 日本國神奈川縣小田原市中村原九九一-六 <input type="checkbox"/> 日本國千葉縣茂原市萩原町二-九七
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

270993

申請日期	84 年 2 月 17 日
案 號	84101458
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	
	英 文	
二、發明 人	姓 名	(7) 恒川悟
	國 籍	(7) 日本 (7) 日本國東京都東村山市美住町二-三-一一 アルカサル武蔵野三〇三號室
三、申請人	住、居所	
	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

270993

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

日本	1994 年 2 月 21 日	06-022295
日本	1994 年 6 月 22 日	06-140387
日本	1994 年 7 月 15 日	06-164360

☒無主張優先權
☒無主張優先權
☒無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

四、中文發明摘要(發明之名稱：

矩陣型液晶顯示裝置及其驅動電路

本發明係關於液晶顯示裝置，特別是有關於在簡單矩陣型液晶顯示裝置上，以高對比而可作多灰階顯示之液晶驅動系統。主要係具有N個(N為零之外正之整數)資料電極，及M個(M為零以外正之整數)之掃描電極，及於該資料電極與該掃描電極之交點處配置像素之液晶顯示板及資料電極驅動電路者。而該資料電極電路，係具有將入顯示資訊寫入上述記憶體裝置之記憶體領域之動作之寫入控制電路，及從記憶體領域以不同於寫入周期之讀出控制電路，及應N個資料電極之顯示資訊同時讀出之讀出控制電路，及將記憶體裝置所讀出之顯示資訊變換成所對應之顯示電壓而將顯電壓給予資料電極之輸出電路。

英文發明摘要(發明之名稱：

五、發明說明(1)

〔產業上之利用領域〕

本發明係關於液晶顯示裝置，特別是有關於在簡單矩陣型液晶顯示裝置上，以高對比使多灰階顯示成為可能之液晶驅動系統。

〔先前之技術〕

具有簡單矩陣型之液晶顯示板之液晶顯示裝置，其驅動方法，以日本學術振興會第142委員會編「液晶裝置手冊」第6章第2節所記載之電壓平均化法，最為眾人所知。又，關於灰階顯示方式，我們知道的有脈衝寬度調製方式。比脈衝寬度調製方式，係於掃描信號的選擇期間（以下稱1水平期間）控制給予信號電極之顯示ON電壓之脈衝寬度，而進行配合其脈衝寬度之亮度的灰階顯示之方式。脈衝寬度調製方式，有藉由將1水平期間均等分割之脈衝的組合，來進行灰階顯示之均等脈衝寬度調製，或對分割1水平期間之脈衝寬度進行加權，藉由此分割之脈衝的組合來進行灰階顯示之加權脈衝寬度調製；這些都被公開於日本特開昭52-76897號公報。以下，參閱圖46～圖53說明比方式之概要。

圖46係表示習知之液晶顯示裝置之一例之方塊圖。225係液晶面板，226係資料電極驅動電路，227係掃描電極驅動電路，228係電壓生成電路，229係時序信號生成電路，230係顯示資料控制電路。

在同圖中，於資料電極驅動電路226處，對於顯示

五、發明說明(2)

資料控制電路230所供給之液晶面板225之1掃描電極(對於液晶面板的水平方向之液晶單元之1列的排列之掃描電極)分之串列之液晶單元(像素)之液晶顯示資料204,係藉由時序信號生成電路229所供給的1掃描電極分之資料移位時鐘211,而依序被移位積存。當資料電極驅動電路226存儲有1掃描電極分之顯示資料204,則從時序信號生成電路229被供給資料門鎖時鐘214,藉此被存儲之1掃描電極分之顯示資料204,被負載於資料電極驅動電路226之輸出側。

同時,電壓生成電路228所供給之液晶驅動用的顯示ON電壓221或顯示OFF電壓220之中的1個電壓被選擇,配合於比被負載之1掃描電極分之顯示資料204之資料電極驅動電壓,被同時施加於液晶面板225所對應之X電壓X1~XN(N為零以外的整數)。

另一方面,在掃描電極驅動電路227處,被供給時序信號生成電路229來的線時鐘。當從時序信號生成電路229取入先頭線時鐘215,則液晶面板225之先頭線Y1被選擇掃描,之後,在每次線時鐘213被供給時,被選擇掃描之線向Y2、Y3……移動。然後,當最後的線YM(M為零以外之正的整數)被選擇掃描,則再從時序信號生成電路229將先頭線時鐘215取入掃描電極驅動電路227,重覆同樣的動作。然後,於被選擇之線上,被選擇施加電壓生成電路228所供給之液晶驅

五、發明說明(3)

動用之掃描選擇電壓 223 或非掃描電壓之中的 1 個電壓。藉此，在液晶面板 225 之被選擇之線及資料電極之交點的顯示點處，進行此顯示點之資料電極及 Y 電極之施加電壓之差的電壓實效值所對應之灰階顯示。

圖 47 係表示液晶之顯示特性。比液晶之動作點，係被設定於其亮度大約與施加電壓實效值成正比而變化之電壓 $V_{off} \sim V_{on}$ 之範圍內，藉由設定成上述之資料電極與掃描電極之施加電壓之差之電壓實效值進入此範圍內，來進行亮度之灰階顯示。

圖 48 係表示電壓生成電路 228 之構成之電路圖。如圖所示，以簡單之串連電阻電路對基準電壓 V_{LCD} 進行分壓，而生成各驅動電壓 221 ~ 224。

圖 49 係表示顯示資料控制電路 230 之構成之方塊圖，而 231、232 係線記憶體，233、234 係資料選擇器，235 係讀出選擇器。

資料位移時鐘 211 亦是圖 49 的線記憶體 231、232 之讀出時鐘，是資料時鐘 207 的 $n (= 3)$ 倍之頻率的信號，係由高速時鐘 208 所生成。

在同圖中，在線記憶體 231、232 上，於每 1 水平期間，交互地，將並聯 n 位元之顯示資料（此處， n 為 3，形成顯示資料之 3 位元從下位位元起依序為 201、202、203）以 1 水平期間為單位寫入其中。又，從線記憶體 231、232 之中沒有進行寫入的一方，以 1 水平期間為寫入次數的 $n (= 3)$ 倍之次數進行讀出，讀

五、發明說明(4)

出串聯3位元之顯示資料、讀出選擇235係被可寫入信號210所控制，選擇這些線記憶體231、232之中沒有進行讀出的一方之資料選擇器233或234。資料選擇器233、234係被資料選擇信號212所控制，將線記憶體231、232所讀出之3位元之顯示資料，以1位元1位元地選擇，作為串聯3位元資料，供給讀出選擇器235。藉此，並聯位元之顯示資料，係藉由線記憶體231、232之寫入、讀出，而被變換成串聯位元之顯示資料。此讀出選擇器235所輸出之串聯位元之顯示資料，被供給至圖46之資料電極驅動電路226。

寫入記憶體231、232，係藉由可寫入210，而被控制成顯示資料之寫入與讀出交互進行者。寫入係在1水平期間以與寫入時鐘209同步而被進行，讀出係與寫入時鐘209之 $n(=3)$ 倍的速度之資料位移時鐘同步，而於1水平期間進行寫入次數的 n 倍之次數，而且以一位元一位元被讀出。這種情況，於寫入記憶體231、232，顯示資料之各位元201、202、203係被寫入各記憶體，在這些記憶體，寫入被同時進行，而讀出係以一位元一位元依序進行。藉此，顯示資料成為串聯3位元之資料。

資料選擇器233或234，係被資料選擇信號212所切換控制，選擇從寫入記憶體231或232依序被讀出之位元，經由讀出選擇器235，作為顯示資料204傳送至資料電極驅動電路226。

五、發明說明(5)

其次，就均等脈衝寬度調製時之圖46的各時序信號及液晶面板225上所施加之電壓波形，以 $n=3$ 之情況為例，利用圖50及圖51作說明。

在圖50中，先頭線信號215，係將垂直同步信號205以水平同步信號206予以門鎖而獲得之信號；線時鐘信號213，係與水平同步信號206相等周期之信號。可寫入信號210，係將水平同步信號206分頻而獲得之信號，寫入時鐘209，係與資料時鐘207相等之信號。資料門鎖時鐘214，係線時鐘213的3倍之頻率之信號，資料選擇信號212，係由線時鐘213及資料門鎖時鐘214所生成之信號。顯示資料204，係在某一水平期間，從線記憶體232被1位元1位元的讀出，而以位元1B、2B、3B來表示，又，在下一個1水平期間，被從寫入記憶體231以1位元1位元的讀出，而以位元1A、2A、3A表示。

圖51係表示在藉由這些時序信號驅動時之液晶面板225的液晶單元，1水平期間被施加之電壓波形者。

在同圖中，以某一液晶單元像素來看，其1水平期間被3等分，在各期間分配對此液晶單元之顯示資料之各個位元，將配合各個位元（即，配合「1」、「0」）之電壓施加於此液晶單元。

圖51A係顯示資料之各位元201、202、203全部為「1」時之1水平期間之ON顯示之電壓波形。這時，將1水平期間分成3等分之3個期間都成為高

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(6)

位準。

圖 5 1 B 係顯示資料之位元 2 0 1、2 0 2、2 0 3 全部為「0」時的 1 水平期間之 OFF 顯示之電壓波形，這時，將 1 水平期間分成 3 等分之 3 個期間都成為低位準。

圖 5 1 C 係顯示資料之位元 2 0 1、2 0 2、2 0 3 之中的 1 個為「1」而剩餘的 2 個為「0」時之 1 水平期間之 $1/3$ ON 顯示之電壓波形，這時，將 1 水平期間分成 3 等分的 3 個期間之中的 1 個為高位準，而其他的 2 個期間為低位準。像這樣，由於將 1 水平期間均分為 3 等分，所以與顯示資料之位元 2 0 1、2 0 2、2 0 3 之「1」、「0」的組合無關，在只有 1 個顯示資料為「1」時，被施加之電壓的實效值，係相等地成為同亮度之 $1/3$ ON 顯示。

圖 5 1 D 係顯示資料之位元 2 0 1、2 0 2、2 0 3 之中的 2 個位元為 1 而剩餘的 1 位元為「0」時之 1 水平期間之 $2/3$ ON 顯示之電壓波形，與 C 同樣地，與顯示資料之位元 2 0 1、2 0 2、2 0 3 之「1」、「0」之組合無關，在 2 個的位元為「1」時，被施加之電壓的實效值係相等地成為同亮度的 $2/3$ ON 顯示。

綜上所述，藉由 3 位元所構成之顯示資料，可作 ON、OFF、 $1/3$ ON、 $2/3$ ON 之 4 灰階顯示。

其次，關於加權脈衝寬度調製時之圖 4 6 之各時序信號及液晶脈衝 2 2 5 所施加之電壓波形，以 $n = 3$ 為例，

五、發明說明(7)

利用圖52及53作說明。

在圖52中，形成顯示資料之3位元之值的比率，像 $2^0 : 2^1 : 2^2$ ，即1 : 2 : 4，所以1水平期間之分割加權，對於各位元，成為1 : 2 : 4之比率。即，對於最下位位元，係分配給1水平期間之 $1/7$ 之期間，而對再上位1個之位元，係分配給1水平期間的 $2/7$ 之期間，而對最上位之位元，係分配1水平期間之 $4/7$ 之期間。

此處，資料門鎖時鐘214，係將線時鐘213之周期分割成1 : 2 : 4。資料選擇信號212，係由線時鐘213及資料門鎖時鐘214所生成之信號；資料位移時鐘211，係圖49之線記憶體231、232之讀出時鐘，係將資料時鐘207之7倍的頻率之時鐘及 $7/2$ 倍的頻率之時鐘及 $7/4$ 倍的頻率之時鐘，藉由資料選擇信號212，依序被切換而獲得之信號，由高速時鐘208所生成。先頭線信號215、線時鐘213、可讀出信號210及寫入時鐘209，係與上述之均等脈衝寬度調製之情形相同之時序之信號。

圖53係表示藉由這些時序信號驅動時之液晶面板225上所施加之電壓之波形。

在圖53中，如上述這樣，分割1水平期間，分配於顯示資料之各位元時，(E)係顯示資料之位元201為「1」，而位元202，203為「0」時之 $1/7$ ON顯示之1水平期間之電壓波形。這種情況時，1水平

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(8)

期間之最初 1 / 7 的期間為高位準，而剩餘的 6 / 7 的期間為低位準。

圖 5 3 之 (F) 係顯示資料之位元 2 0 2 為 ' 1 '，而顯示資料之位元 2 0 1、2 0 3 為 ' 0 ' 時之 2 / 7 O N 顯示之 1 水平期間之電壓波形。這時，1 水平期間之最初 1 / 7 的期間後之 2 / 7 期間為高位準，而剩餘的 5 / 7 的期間為低位準。

圖 5 3 之 (C) 係顯示資料之位元 2 0 3 為 ' 1 '，而顯示資料之位元 2 0 1、2 0 2 為 0 時之 4 / 7 O N 顯示之 1 水平期間之電壓波形。這時，1 水平期間之最初的 4 / 7 期間為高位準，而剩餘的 3 / 7 期間為低位準。

更者，還有其他的樣態，即，由於將 1 水平期間之分割成 1 : 2 : 4，所以藉由顯示資料之位元 2 0 1、2 0 2、2 0 3 之 ' 1 '，' 0 ' 之組合，可作 O N、O F F、1 / 7 O N、2 / 7 O N、3 / 7 O N、4 / 7 O N、5 / 7 O N、6 / 7 O N 等合計共 8 (2^3) 灰階顯示。

除了上述之灰階顯示方式之外，其他的例子有日本特開平 4 - 5 7 0 1 8 號公報公述之利用高速應答之液晶材料實現高對比之驅動方式者。近年，液晶顯示器被廣泛的作為個人電腦或文字處理器等之小型資訊機器之顯示裝置使用。在資訊機器之顯示裝置，為了能很快速的隨著畫面的移動或老鼠的移動，液晶之高速應答化是眾人所期待的。但是，使用高速應答之液晶材料進行習知之驅動方式時

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(9)

，會產生無法獲得足夠的對比之問題發生。於是，在上述日本特開平4-57018號公報所揭示之技術中，以高幀頻驅動液晶，藉此，即使是高應答之液晶材料也可以實現高對比。

〔發明所欲解決之問題〕

在習知之簡單矩陣型之液晶顯示裝置，藉由均等脈衝寬度調製，來進行灰階顯示時，如上述這樣，即使以被輸入之顯示資料之水平頻率之 \sim 倍的水平頻率輸出顯示資料，也無法作 $(n+1)$ 灰階之顯示（例如， $n=3$ 之4灰階顯示），與多灰階顯示之顯示資料之輸入／輸出水平頻率之倍率數 (n) 相比較，可獲得較多之灰階數。

另一方面，當藉由加權脈衝寬度調製來進行灰階顯示時，如上一般，依照 n 位元之顯示資料， 2^n 灰階顯示（例如，3位元顯示資料可得8灰階顯示）為可能。但是，這種方式時，由於資料電極驅動電路取入顯示資料之資料位移時鐘成為相當地高速（在上述的情況時，為輸入顯示資料的水平頻率的7倍），資料電極驅動電路之資料位移時鐘在定格頻率以上，而產生誤動作，因而有所希望之灰階顯示無法進行之情況發生。

更者，在使用高速應答材料之上述公開公報中所揭示之液晶顯示裝置，為了獲得高顯示對比，必須要將幀頻提高。但是，隨著幀頻之提高，資料電極驅動手段之資料位移時鐘之頻率也上昇，所以，必需要有適合它的資料電極

五、發明說明 (10)

驅動手段，但是上述公開公報中並未揭示此方法。更者，隨著資料位移時鐘頻率之上昇，會有資料電極驅動手段之消費電力也上昇的問題發生。而上述公開公報中，並未揭示解決此問題之手段。

更者，在使用習知之中速、低速應答之液晶材料之液晶顯示裝置，其驅動方法係使用電壓平均化法。而電壓平均化法，要驅動 240 行之液晶顯示器，係資料電極驅動手段，掃描電極驅動手段都必需要有 30 V 以上之耐壓。

更者，液晶材料長時間持續地給予直流電壓時，其特性會劣化，所以，以幀周期或水平周期或它們的倍數之周期，進行使液晶施加電壓之極性反轉之交流驅動。然後，藉由電壓平均化法，進行此交流驅動時，從資料電極驅動手段所輸出之資料電壓與掃描電極驅動手段所輸出之掃描電壓，在其極性之切換時，會有 30 V 左右之變化，所以會產生交流周期愈短，液晶顯示裝置之消費電力增大之問題。

〔發明之目的〕

本發明之目的，係提供一種使用高速應答之液晶材料，以高幀頻驅動液晶而可獲得高對比之液晶顯示裝置及其驅動電路。

本發明之其他目的，係提供一種能解決有關問題，而藉由均等脈衝寬度調製，以輸出顯示資料之水平頻率之 n 倍左右之資料位移時鐘頻率，而能實現 2^n 之灰階顯示之

五、發明說明(11)

液晶顯示裝置及其驅動電路。

本發明之另外的目的，係提供一種以高幀頻驅動液晶時，可減低消費電力之液晶顯示裝置及其驅動電路。

本發明之另一個目的，係提供一種即使使用習知之中速、低速應答之液晶，也可以減低消費電力之液晶顯示裝置及其驅動電路。

〔解決問題之手段〕

本發明之液晶顯示裝置之實施例中，係設有將 1 水平期間分割成 n 份之顯示電壓，依照各位元之顯示資料來給予之資料電極驅動電路，及給予選擇掃描線之掃描電壓之掃描電極驅動電路。在掃描電極與資料電極之交點之液晶單元上，施加上述掃描電壓及上述顯示電壓之差分之電壓，進行灰階顯示。掃描電極驅動電路給予資料電極之掃描電壓，係在一水平期間作為一定之振幅，資料電極驅動電路所給予資料電極之顯示電壓，係將 1 水平期間分割成 n 個期間，於各期間使顯示電壓之振幅變化，藉此進行多灰階顯示。

更者，在本發明之液晶顯示裝置之實施例，僅只產生資料電極驅動電路依照顯示之 ON、OFF 之顯示電壓，進行顯示。

更者，在本發明之液晶顯示裝置之實施例中，資料電極驅動手段，係具有將 n 線分之顯示資料儲存之線記憶體，及生成掃描信號之掃描函數資料產生手段，及在上述 n

五、發明說明(12)

線分之顯示資料與掃描函數資料之間演算之演算器，從演算器的演算結果，選擇 $(m+1)$ 位準之電壓之中的1個，作為顯示電壓而給予液晶面板，藉此來進行顯示。

資料電極驅動電路內藏有幀記憶體，藉此，外部來的顯示資料之傳送速度，係與原來相同，而以高幀頻來進行液晶之驅動為可能。藉此，可抑制驅動使用高速應答之液晶材料之液晶面板時之對比之降低，而可以實現高對比顯示之液晶顯示裝置。

又，將1水平期間分割成 n 個期間，由於係在每個期間使顯示電壓之振幅變化，所以藉由選擇期間之顯示電壓之振幅之組合，而可以進行 2^n 種類之灰階顯示。

更者，由於可以用低電壓使資料電極驅動電路，所以，可以降低消費電力。

〔圖式說明〕

圖1係表示本發明之液晶顯示裝置及方法之第1實施例之方塊圖。

圖2係表示圖1之液晶面板1之一具體例之概略構造圖。

圖3係表示圖1之資料電極驅動電路之一具體例之方塊圖。

圖4係表示圖3之各部的信號之時序關係之圖。

圖5係表示圖3之資料驅動器之一具體列之方塊圖。

圖6係表示圖5之多路轉換器及寫入門鎖之一具體例

五、發明說明 (13)

之方塊圖。

圖 7 係表示圖 6 之 4 0 進計數器及解碼器之動作時序之圖。

圖 8 係表示圖 6 之 8 位元門鎖之動作之圖。

圖 9 係表示圖 6 之記憶體寫入輸出電路之動作時序圖。

圖 1 0 係表示圖 1 之顯示記憶體之記憶圖之一具體例之圖。

圖 1 1 係表示圖 5 之記憶體存取控制電路之一具體例之方塊圖。

圖 1 2 係表示圖 1 1 之讀出信號生成電路之動作之時序圖。

圖 1 3 係表示圖 1 1 之寫入信號生成電路之一動作之時序圖。

圖 1 4 係表示圖 1 1 之寫入信號生成電路之其他的動作之時序圖。

圖 1 5 係表示圖 5 之寫入控制電路之一具體例之方塊圖。

圖 1 6 係表示圖 1 5 所示之具體例之動作之時序圖。

圖 1 7 係表示圖 5 之讀出控制電路之一具體例之方塊圖。

圖 1 8 係表示圖 1 7 所示之具體例之動作之時序圖。

圖 1 9 係表示圖 5 之讀出門鎖之動作之時序圖。

圖 2 0 係表示圖 5 之解碼器、位準位移器及輸出電路

五、發明說明(14)

之一具體例之電路構成圖。

圖 2 1 係表示圖 1 之電源電路 5 之一具體例之電路圖。

圖 2 2 係表示圖 1 之顯示時鐘脈衝發生器之一具體例之方塊圖。

圖 2 3 係表示圖 2 2 所示之具體例之動作之時序圖。

圖 2 4 係表示圖 1 之掃描電極驅動電路之一具體例之方塊圖。

圖 2 5 係表示圖 2 4 之掃描驅動器之一具體例之方塊圖。

圖 2 6 係表示圖 2 5 所示之具體例之動作之時序圖。

圖 2 7 係表示圖 1 之液晶面板之顯示模式之一例之模式之圖。

圖 2 8 係表示對於圖 2 7 所示之顯示模式之液晶面板之資料電極與掃描電極之液晶驅動電壓波形之一例之圖。

圖 2 9 係表示對於圖 2 8 所示之電壓波形，施加於液晶之顯示像素之電壓之一例之圖。

圖 3 0 係表示本發明之液晶顯示裝置及方法之第 2 實施例之顯示記憶體之記憶圖之模式之圖。

圖 3 1 係表示對於圖 3 0 所示之記憶圖之第 2 實施例之讀出控制電路之動作之時序圖。

圖 3 2 係表示對於圖 3 0 所示記憶圖之第 2 實施例之液晶驅動波形之一例之圖。

圖 3 3 係表示對於圖 3 0 所示之記憶圖之第 2 實施例

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(15)

之液晶之顯示像素上所施加之電壓之一例之圖。

圖34係本發明之液晶顯示裝置及方法之第3實施例之方塊圖。

圖35係表示圖34之資料電極驅動電路之一具體例之方塊圖。

圖36係表示圖35之輸入時鐘及位元顯示資料之時序關係圖。

圖37係表示圖35之資料驅動器之一具體例之方塊圖。

圖38係表示圖37之輸入門鎖之一具體例之方塊圖。

圖39係表示圖37之輸入門鎖及輸出門鎖之動作之時序圖。

圖40係表示圖37之解碼器及位準位移器及輸出電路之一具體例之構成圖。

圖41係表示圖34之掃描電極驅動電路之一具體例之方塊圖。

圖42係表示圖34之電源電路之一具體例之構成圖。

圖43係表示圖34之液晶面板之顯示模式之一例之圖。

圖44係表示對於圖34所示之第3實施例之圖43所示之顯示模式之液晶驅動波形之一例之圖。

圖45係表示對於圖44之液晶驅動波形之第3實施

五、發明說明(16)

例之液晶之顯示像素上所施加之電壓之一例之圖。

圖 4 6 係表示習知之液晶顯示裝置之一例之方塊圖。

圖 4 7 係液晶之顯示特性。

圖 4 8 係表示圖 4 6 之電壓生成電路之構成之電路圖。

圖 4 9 係表示圖 4 6 之顯示資料控制電路之構成之方塊圖。

圖 5 0 係表示習知之均等脈衝寬度調製方式之時序圖。

圖 5 1 係表示習知之均等脈衝寬度調製方式之驅動波形之圖。

圖 5 2 係表示習知之加權脈衝寬度調製方式之時序圖。

圖 5 3 係表示習知之加權脈衝寬度調製方式之驅動波形之圖。

圖 5 4 係表示同時選擇複數個簡單矩陣型之液晶面板之掃描電極時之掃描信號之例之波形圖。

圖 5 5 係表示圖 5 4 之波形之圖。

圖 5 6 係表示本發明之液晶顯示裝置及方法之第 4 實施例之方塊圖。

圖 5 7 係表示圖 5 6 之顯示資料、F L M 信號、C L 1 信號之時序關係之圖。

圖 5 8 係表示圖 5 6 之資料驅動器之一具體例之方塊圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(17)

圖 5 9 係表示圖 5 8 之各部之信號之時序圖。

圖 6 0 係表示圖 5 8 之演算器之一具體例之方塊圖。

圖 6 1 係表示圖 5 8 之輸出電路之位準位移器及電壓選擇器之一具體例之電路圖。

圖 6 2 係表示圖 5 6 之掃描驅動器之一具體例之方塊圖。

圖 6 3 係表示圖 6 2 之各部之信號之時序圖。

圖 6 4 係表示圖 6 2 之解碼器之一具體例之方塊圖。

圖 6 5 係表示圖 6 4 之解碼器之一具體例之方塊圖。

圖 6 6 係表示圖 6 2 之輸出電路之一具體例之電路圖。

圖 6 7 係表示圖 5 6 之電源電路之一具體例之方塊圖。

圖 6 8 係表示圖 5 6 之掃描函數產生器之一具體例之方塊圖。

圖 6 9 係表示圖 6 8 所示之掃描函數產生器之動作之時序圖。

圖 7 0 係表示圖 6 8 之掃描函數 ROM 所存儲之資料之一具體例之圖。

圖 7 1 係表示圖 6 8 之掃描函數 ROM 所存儲之資料之其他之具體例之圖。

圖 7 2 係表示圖 6 8 之掃描函數 ROM 所存儲之資料之其他之具體例之圖。

圖 7 3 係表示圖 6 8 之掃描函數 ROM 所存儲之資料

五、發明說明(18)

之其他之具體例之圖。

圖 7 4 係表示對於圖 7 2 所示之存儲資料之掃描信號波形之圖。

圖 7 5 係表示對於圖 7 2 所示之存儲資料之掃描信號波形之圖。

圖 7 6 係表示對於圖 7 3 所示之存儲資料之掃描信號波形圖。

〔實施例〕

以下，利用圖面說明本發明之實施例。

圖 1 係表示本發明之液晶顯示裝置及其方法之第 1 實施例之方塊圖，1 為液晶面板，2 為資料電極驅動電路，3 為掃描電極驅動電路，4 為顯示時鐘脈衝發生器，5 為電源電路，6 為液晶顯示模組，7 為顯示控制器，8 視頻記憶體，9 為系統總線。

在同圖中，顯示控制器 7，係由例如日立製 C R T 控制器 H D 6 8 4 5 等所構成，而與視頻記憶體 8 一起形成顯示系統。系統總線 9，係由未圖示之個人電腦或文字處理器，及液晶顯示裝置所結合成之基本總線；藉由未圖示之 C P U 或微處理器及記憶體所存儲之程式，而將顯示控制器 7 之控制或顯示資料 1 0 存儲於視頻記憶體 7。

液晶面板 1，係具有 N 根（N 為零以外之正的整數）之資料電極及 M 根 1 M 為零以上之正的整數）之掃描電極，而於這些資料電極與掃描電極之交點處配置像素。此實

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(19)

施例係具備有 $N = 320$ 根之資料電極及 $M = 240$ 根之掃描電極之簡單矩陣型之 δTN 液晶顯示裝置。資料電極驅動電路 3，係輸出資料電極驅動信號 14，驅動液晶面板 1，掃描電極驅動電路 3，係產生掃描電極驅動信號 15，驅動液晶面板 1。電源電路 5，係產生資料電極驅動電路 2 所輸出之資料電極驅動信號 14 之基準之資料基準電壓 13，同時產生掃描電極驅動電路 3 所輸出之掃描電極驅動信號 15 之基準之掃描基準電壓 16。顯示時鐘脈衝發生器 4，係產生驅動液晶面板 1 之資料電極驅動電路 2 及掃描電極驅動電路 3 的動作之基準之顯示時鐘 12。顯示資料 10 (此處，由 8 位元所構成者，以下稱 8 位元顯示資料 10) 及輸入時鐘 11，係從顯示控制器 7 所輸出，而供給至資料電極驅動電路 2。

以下，說明此實施例之動作。

顯示控制器 7，係讀出存儲於視頻記憶體 8 之顯示資料，作為 8 位元顯示資料 10 送出至液晶顯示模組 6。又，顯示控制器 7，係將基準時鐘之輸入時鐘 11 送出至液晶顯示模組 6。此輸入時鐘 11，係與 8 位元顯示資料 10 同步。

此處，送出顯示資料 10 之速度，係以送出構成 1 畫面之所有的顯示資料 10 之次數，即幀頻數來表示，標準的是 $60 \sim 70 \text{ Hz}$ 。

在液晶顯示模組 6，被幀頻 $60 \sim 70 \text{ Hz}$ 所送出之 8 位元顯示資料 10，被供給至資料電極驅動電路 2。此

五、發明說明(20)

資料電極驅動電路 2，係具備有內藏有後述之顯示記憶體之資料驅動器，被供給之 8 位元顯示資料 10 被暫時地記憶於此顯示記憶體。

顯示時鐘脈衝發生器 4，係將顯示時鐘 12 供給至資料電極驅動電路 2 及掃描電極驅動電路 3。顯示時鐘 12，係具有比輸入時鐘 11 之幀頻高之幀頻。藉由此顯示時鐘 12，使資料電極驅動電路 2 所存儲之顯示資料 10 被讀出，然後變換成資料電極驅動信號 14，而供給至液晶面板 1。藉由比這個高的幀頻之顯示時鐘 12 之讀出，而可作高幀頻之顯示。

另一方面，掃描電極驅動電路 3，係藉由顯示時鐘 12 生成掃描電極驅動信號 15，再供給至液晶面板 1。又，電源電路 5，係可產生各種不同直流位準之電壓之直流電壓產生器。電源電路 5，係生成供給液晶面板 1 之資料電極驅動信號 14 及掃描電極驅動信號 15 之基準的電壓，即資料基準電壓 13 及掃描基準電壓 16。

圖 2 係圖 1 所示之液晶面板 1 之一具體例之概略構造圖。在同圖中，以 320 根之資料電極 X0 ~ X319 及 240 根之掃描電極 Y0 ~ Y239，成為矩陣構造，這些資料電極及掃描電極之交點，成為顯示像素 D_{ij} （但是，但是 i 係表示水平期間之線掃描順序，j 為水平期間之顯示像素之畫面的左邊開始之順序）。又，像這樣的電極數為一例，本發明並不只限於此。

資料電極驅動電路 2（圖 1）來的 1 線分 320 點之

五、發明說明(21)

資料電極驅動信號 1 4，被同時施加於資料電極 X 0 ~ X 3 1 9，從掃描電極驅動電路 3 來的掃描電極驅動信號 1 5，每當從資料電極驅動電路 2 將資料電極驅動信號 1 4 施加於資料電極 X 0 ~ X 3 1 9 時，從掃描電極 Y 0 起依序 1 個 1 個施加於掃描電極 Y 2 3 9。

又，在資料電極 X 0 ~ X 3 1 9 與掃描電極 Y 0 ~ Y 2 3 9 之間，被封入液晶材料，配合給予各電極之電壓，而使液晶之光學特性變化，藉此進行顯示。這些電極之交點，係爲了顯示之像素即顯示像素 D_{ij} ，在圖 2 所示之例爲 320×240 個。又，關於各電極之電壓之波形在後面敘述。

圖 3 係表示圖 1 之資料電極驅動電路 2 之一具體例之方塊圖，1 7 - 1、1 7 - 2 係資料驅動電路。

在同圖中，資料電極驅動電路 2，係由資料驅動器 1 7 - 1、1 7 - 2 所構成；資料驅動器 1 7 - 1，係生成供給液晶面板 1 之資料電極 X 0 ~ X 1 5 9 之資料電極驅動信號 1 4 - 1，而資料驅動器 1 7 - 2，係生成供給液晶面板 1 之資料電極 X 1 6 0 ~ X 3 1 9 之電極驅動信號 1 4 - 2。這些資料驅動器 1 7 - 1、1 7 - 2，分別從顯示控制器 7 (圖 1) 被供給 8 位元顯示資料 1 0 及輸入時鐘 1 1，從顯示時鐘脈衝發生器 4 (圖 1) 被供給顯示時鐘 1 2，從電源電路 5 (圖 1) 被供給資料基準電壓 1 3。又，此處被供給之輸入時鐘 1 1，係由 1 幀 (1 畫面分) 頻之 F L M (幀) 信號 2 0 及 2 個時鐘信號，即

五、發明說明(22)

C L 1 信號及 C L 2 信號所構成。

其次，使用圖 4 就這些 8 位元顯示資料 1 0 及 F L M 信號 2 0 及 C L 1 信號及 C L 2 信號 2 2 之時序關係作一說明。但是，圖 4 係表示圖 3 之各部之信號之時序之圖；對應於圖 3 的信號之信號，給予相同記號。

F L M 信號 2 0，係表示送出 1 畫面（1 幀）之 8 位元顯示資料 1 0 之信號；此 F L M 信號 2 0 之周期之倒數為幀頻。又，在此實施例，此幀頻係如上所述為 6 0 ~ 7 0 H z。

在 F L M 信號 2 0 的 1 周期的期間（1 幀期間），C L 1 信號 2 1 係作為 2 4 0 個脈衝而被供給。此 C L 1 信號 2 1，係每次 8 位元顯示資料 1 0 之 1 行分被送來時所產生之時鐘；此 C L 1 信號 2 1 之 1 周期為 1 水平期間，1 幀為 2 4 0 水平期間。以 F L M 信號 2 0 及 C L 1 信號 2 1，使顯示記憶體 4 3 之資料之寫入動作之時序被控。

在此 C L 1 信號 2 1 之 1 周期，作為脈衝之 C L 2 信號 2 2 被供給 8 0 個，與此同步，而使 8 位元顯示資料 1 0 被送來。8 位元顯示資料 1 0，係在每 1 個的 C L 2 信號 2 2，以 8 位元 8 位元被供給，而 1 像素資料係由 2 位元所構成，所以，在每 1 個的 C L 2 信號 2 2，被送來像素資料的 4 個分之 8 位元顯示資料。於是，由於 1 水平期間 C L 2 信號 2 2 被送來 8 0 個，所以合計被送來 $4 \times 80 = 320$ 像素分之 8 位元顯示資料 1 0。如以上這樣

五、發明說明 (23)

， 1 畫面之顯示資料，以幀頻 60 ~ 70 Hz，與 CL 1 信號 2 1、CL 2 信號 2 2 同步而被送來。

再回到圖 3，從電源電路 5 (圖 1) 供給至資料驅動器 1 7 - 1、1 7 - 2 之資料基準電壓 1 3，係由 4 種類之電壓，即 V 0 電壓 3 0、V 1 電壓 3 1、V 2 電壓 3 2 及 V 3 電壓 3 3 所構成。暫時存儲於資料驅動器 1 7 - 1、1 7 - 2 之顯示資料 1 0，係依照顯示時鐘 1 2 而被讀出，以資料基準電壓 1 3 為基礎，生成資料電極驅動信號 1 4 (關於這點會在後面作詳細說明)。被供給於資料驅動器 1 7 - 1、1 7 - 2 之位移方向信號 2 4 及可輸入信號 2 5，係分別為控制資料驅動器 1 7 之動作之控制信號。

圖 5 係表示圖 3 之資料驅動器 1 7 - 1 之一具體例之方塊圖；3 8 為記憶體存取控制電路，3 9 為多路轉換器，4 0 為寫入閘鎖，4 1 為寫入控制電路，4 2 為讀出控制電路，4 3 係顯示記憶體，4 4 為讀出閘鎖，4 5 為解碼器，4 6 為位準位移器，4 7 為輸出電路。

又，資料驅動器 1 7 - 2 也形成有相同之構成，而以同圖之多路轉換器 3 9 所輸出之可輸出信號 2 6 作為同樣的多路轉換器之可輸入信號而被供給，但是與資料驅動器 1 7 - 1 不同。

在同圖中，記憶體存取控制電路 3 8，係控制顯示記憶體 4 3 之寫入、讀出動作。寫入閘鎖 4 0，係在多路轉換器 3 9 之控制之下，存儲 1 水平期間的前半 1 以下，稱

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(24)

水平期間的 1 / 2 為 1 行分) 之 1 6 0 個的顯示像素之 8 位元顯示資料 1 0，藉由記憶體存取控制電路 3 8 之指示，將此存儲之 1 行分之顯示資料作為顯示資料 5 1，供給至顯示記憶體 4 3。顯示記憶體 4 3，係依照寫入控制電路 4 1 來的寫入地址 5 2，而將 1 行分之顯示資料 5 1 存儲於一定的地址，依照讀出控制電路 4 2 來的讀出地址 5 3，將存儲之顯示資料作為記憶體讀出資料 5 4 輸出。讀出門鎖 4 4，係將此記憶體讀出資料 5 4，以記憶體存取控制電路 3 8 來的控制信號 4 9 加以門鎖，而作為讀出門鎖輸出資料 5 5 供給至解碼器 4 5。解碼器 4 5，係以該讀出門鎖輸出資料 5 5 及讀出控制電路 4 2 來的資料位元信號 5 6 及後述之 M 信號 2 9，來生成解碼信號 5 7。解碼信號 5 7，係被位準位移器 4 6 變換成輸出電路驅動信號 5 8，然後再施加至輸出電路 4 7。輸出電路 4 7，係配合該輸出電路驅動信號 5 8，在電源電路 5 (圖 1) 來的 V 0 電壓 3 0、V 1 電壓 3 1、V 2 電壓 3 2 及 V 3 電壓 3 3 之中選擇 1 個，作為驅動各資料電極 X 0 ~ X 1 5 9 (圖 2) 之資料電極驅動信號 1 4 予以輸出。

其次說明比具體例之動作。

8 位元顯示資料 1 0，係被供給至寫入門鎖 4 0。該寫入門鎖 4 0 之動作，係被多路轉換器 3 9 所控制。即，多路轉換器 3 9，係以 C L 1 信號 2 1、C L 2 信號 2 2 為基礎，將門鎖信號 5 0 供給寫入門鎖 4 0，而將連續被送來的 8 位元顯示資料 1 0 的 1 行分，暫時記憶於寫入門

五、發明說明 (25)

鎖 4 0 。記憶體存取控制電路 3 8 ，係以 F L M 信號 2 0 及 C L 1 信號 2 1 為基礎，生成寫入控制信號 4 8 ，藉此，將暫時被記憶於寫入門鎖 4 0 之 1 行分的顯示資料，作為記憶體寫入資料 5 1 供給至顯示記憶體 4 3 ，同時，寫入控制電路 4 1 ，係生成寫入地址 5 2 ，然後供給至顯示記憶體 4 3 ，指定在該處之寫入記憶體寫入資料 5 1 之地址。

更者，記憶體存取控制電路 3 8 ，係為了讀出記憶所顯示記憶體 4 3 之該顯示資料，而以顯示開始信號 2 7 及線信號 2 8 為基礎，生成讀出控制信號 4 9 。顯示開始信號，係表示讀出顯示資料之 1 幀之先頭；而線信號 2 8 ，係表示線的先頭。以此為基礎，於讀出控制電路 4 2 ，生成讀出地址信號 5 3 ，藉由該讀出地址信號 5 3 ，使 1 行分之顯示資料，作為記憶體讀出資料 5 4 ，而從顯示記憶體 4 3 被讀出。該記憶體讀出資料 5 4 ，係被讀出門鎖 4 4 所門鎖而暫時被保存。

此處，對於顯示記憶體 4 3 之記憶體寫入資料 5 1 之寫入頻率與顯示記憶體 4 3 來的記憶體讀出資料 5 4 之讀出頻率，也可以不相同。特別是，在使用高速應答之液晶時，可以使讀出頻率變高。又，關於這種情況之效果，在後面會詳細說明。

其次，在讀出門鎖 4 4 上所暫時保存之記憶體讀出資料 5 4 ，係作為讀出門鎖輸出資料 5 5 ，而被供給至解碼器 4 5 ，藉由資料位元信號 5 6 及 M 信號 2 9 而被解碼，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(26)

生成解碼信號 5 7。該解碼信號 5 7，係在位準位移器 4 6 處，被變換成輸出驅動信號 5 8 之後，被供給至輸出電路 4 7。在輸出電路 4 7，配合該輸出電路驅動信號 5 8，V 0 電壓 3 0、V 1 電壓 3 1、V 2 電壓 3 2、V 3 電壓 3 3 之中的 1 個被選擇，作為驅動圖 2 之資料電極 X 0 ~ X 1 5 9 之資料電極驅動信號 1 4 - 1，被供給至液晶面板 1 (圖 1)。

資料驅動器 1 7 - 1、1 7 - 2 係如上所述作動，以下就圖 5 之各部作一詳細說明。

圖 6 係表示圖 5 之多路轉換器 3 9 及寫入門鎖 4 0 之一具體例之方塊圖，6 2 為 4 0 進計數器，6 3 為邏輯否定電路，6 4 為邏輯積電路，6 6 為解碼器，6 7 為 4 0 個的 8 位元門鎖，6 9 為記憶體寫入供給電路，對應於圖 5 的部份給予相同之符號。

在同圖中，多路轉換器 3 9，主要係由 4 0 進計數器 6 2 及解碼器 6 6 所構成。4 0 進計數器 6 2 係計數 C L 2 信號 2 2，而其計數值 6 5 被供給至解碼器 6 6。可輸入信號 2 5，係經由邏輯積電路 6 4，作為可計數信號 7 0 而供給至 4 0 進計數器 6 2。該可計數信號 7 0，係指示 4 0 進計數器 6 2 之動作之實行或停止之信號，其值為邏輯 1 時，實行計數動作，在邏輯 0 時，停止計數動作。

C L 1 信號，係為了清除或預先設置 4 0 進計數器 6 2 之計數值之信號。要選擇清除或預先設置，係配合移

五、發明說明 (27)

位方向信號 2 4 來進行。移位方向信號 2 4 在邏輯 0 的時候，藉由 C L 1 信號 2 1，使 4 0 進計數器 6 2 被清除為 0，在每次 C L 2 信號 2 2 被供給時，計數值依序 1，2，3 ……，順序 1 個個增加。移位方向信號 2 4 在邏輯為 1 時，藉由 C L 1 信號 2 1，使 4 0 進計數器 6 2 被預先設置成 4 0，在每次 C L 2 信號被供給時，計數值係從比預先設置值 4 0 起依 4 0、3 9、3 8 ……之順序 1 個個減少。

4 0 進計數器 6 2，係在將 C L 2 信號 2 2 數 4 0 次時，將邏輯 1 的可輸出信號 2 6 輸出。該可輸出信號 2 6，在邏輯否定電路 6 3，被設定成邏輯 0 之後，被供給至邏輯積電路 6 4，使可計數信號 7 0 成為邏輯 0，使 4 0 進計數器 6 2 之計數動作停止。

又，4 0 進計數器 6 2 之計數值 6 5，係被解碼器 6 6 解碼，當作 8 位元門鎖信號 5 0，供給至寫入門鎖 4 0。

圖 7 係表示以上之 4 0 進計數器 6 2、解碼器 6 6 之動作時序之圖。

在同圖中，4 0 進計數器 6 2，係被可輸入信號 2 5 及 C L 1 信號 2 1 及 C L 2 信號所控制。當 C L 1 信號被供給時，4 0 進計數器 6 2 係被初始化成為其計數值 6 5 為 0，同時，該 4 0 進計數器 6 2 所輸出之可輸出信號 2 6，也被初始化成邏輯 0。

其次，當 C L 2 信號被輸入，而可輸入信號 2 5 為邏

五、發明說明(28)

輯 0 期間，4 0 進計數器 6 2 係計數值 6 5 被初始化成 0 者。即，由於可輸入信號 2 5 為邏輯 0，所以藉由邏輯積電路 6 4，使可計數信號 7 0 也被固定成邏輯 0，因此，4 0 進計數器 6 2，係成為動作停止之狀態。

之後，當可輸入信號 2 5 為邏輯 1 時，藉由邏輯積電路 6 4，使可計數信號 7 0 也成為邏輯 1，之後，從最初被供給之 C L 2 信號 2 2 起，開始 4 0 進計數器 6 2 之動作。4 0 進計數器 6 2 之計數值 6 5，在每次 C L 2 信號 2 2 被供給時，以 0、1、2、3、4……之順序 1 個個增加。然後，4 0 進計數器 6 2，在其計數值 6 5 成為 4 0 時，使可輸出信號 2 6 成為邏輯 1。藉此，可計數信號 7 0 成為邏輯 0，而 4 0 進計數器 6 2 之動作停止。該可輸出信號 2 6，係為了使資料驅動器 1 7 - 2 動作而使用者。

在相關的動作中，4 0 進計數器 6 2 之計數值 6 5，被解碼器 6 6 所解碼，而 4 0 個 8 位元門鎖信號 5 0，係依序成為邏輯 1。這些 8 位元門鎖信號 5 0，係被供給至寫入門鎖 4 0。寫入門鎖 4 0，係由 4 0 個 8 位元門鎖 6 7 及記憶體寫入供給電路 6 9 所構成，在這些 4 0 個的 8 位元門鎖 6 7 之中，邏輯 1 之 8 位元門鎖信號 5 0 被供給之物上，8 位元顯示資料 1 0 被取入，而被暫時記憶。所以，在 4 0 個 8 位元門鎖 6 7 上，8 位元顯示資料 1 0 被一個個（8 位元、即 4 顯示像素）記憶。如此，被暫時記憶之 8 位元顯示資料 1 0，作為 8 位元門鎖信號 6 8，

五、發明說明 (29)

被供給至記憶體寫入輸出電路 6 9。

此處，藉由圖 8，更詳細說明 8 位元門鎖 6 7 之動作。

藉由依序被供給之邏輯 1 之 8 位元門鎖信號 5 0，8 位元顯示資料 1 0，被 4 0 個之 8 位元門鎖 6 7 依序門鎖，被門鎖的這些 8 位元資料，係作為 8 位元門鎖信號 6 8 而被輸出。4 0 個的 8 位元門鎖 6 7，係藉由將連續送來的 8 位元顯示資料 1 0 予以門鎖，而將整體之 1 行分（即，1 6 0 顯示像素分）之 8 位元顯示資料 1 0 暫時保持。

從 8 位元門鎖 6 7 所輸出之 8 位元門鎖信號 6 8，係被供給至記憶體寫入輸出電路 6 9，只有在記憶體寫入信號 4 8 - 2 為邏輯 1 時，作為記憶體寫入資料 5 1，供給至圖 5 之顯示記憶體 4 3。

藉由圖 9 說明此情況，記憶體寫入輸出電路 6 9，係在記憶體寫入信號 4 8 - 2 為邏輯 1 時，將 8 位元門鎖信號 6 8 作為記憶體寫入資料 5 1 輸出。又，記憶體寫入信號 4 8 - 2 為邏輯 0 時，記憶體寫入輸出電路 6 9 之輸出為高阻抗。

以上係關於圖 3 之資料驅動器 1 7 - 1 的說明，而關於資料驅動器 1 7 - 2 也相同。但是，資料驅動器 1 7 - 1 之圖 6 所示之 4 0 進計數器 6 2 所輸出之可輸出信號 2 6，係作為可輸入信號，供給至同樣的 4 0 進計數器，如圖 7 所示，當該可輸出信號 2 6 成為邏輯 1 時，進行與上述之資料驅動器 1 7 - 1 相同之動作，從 1 水平期間之後

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(30)

半之8位元顯示資料10，生成液晶面板1(圖2)之資料電極X160~X319之資料電極驅動信號14-2。

圖10係表示圖5之顯示記憶體43之各地址及顯示資料之存儲之關係之記憶圖之一具體例之圖。

在同圖中，顯示記憶體43，係由2個的位元組成A、B所構成，合計有76.8K Bit (=320點×240行×2位元組成)之記憶容量。又，像這樣由2個位元組成所構成者，其8位元顯示資料10，係由2位元之像素4個所構成者，表示4灰階。所以，配合8位元顯示資料10之灰階位元數或顯示之點數、行數，而記憶容量不同。

顯示記憶體43之各位元組成A、B，係與顯示資料10之各灰階位元相對應。所以，在寫入時，從寫入門鎖40來的記憶體寫入資料51，係藉由記憶體存取控制電路38及寫入控制電路41之控制，1行分被記憶於顯示記憶體43，而各灰階位元(即，構成像素的2個位元)，係被記憶於各組對應之不同之位元組成。例如，第i行j列之顯示資料 D_{ij} 之位元0(即，在上位位元表示 $D_{ij}(07)$)係被記憶於位元組成A之各一定之寫入地址，而第i行j列之顯示資料 D_{ij} 2位元1(即，在下位元表示 $D_{ij}(1)$)，係被記憶於位元組成B之各一定的寫入地址。

又，在資料驅動器17-2之同樣之顯示記憶體，記

五、發明說明 (31)

憶著顯示像素 $D_{i.160} \sim D_{i.319}$ 之顯示資料。

另一方面，記憶於顯示記憶體 43 之各顯示資料，係依據記憶體存取控制電路 38 及讀出控制電路 42 之控制，依順序被讀出。這時，讀出地址係被設定於各位元組成 A、B，在圖 10 所示之例，於位元組成 A 設定地址 0 ~ 239，於位元組成 B 設定地址 240 ~ 479。所以，被寫入於顯示記憶體 43 之顯示資料，係分成 480 次依序被讀出。

圖 11 係表示圖 5 之記憶體存取控制電路 38 之一具體例之方塊圖，59 係寫入信號生成電路，60 係讀出信號生成電路。

在同圖中，記憶體存取控制電路 38，係由寫入信號生成電路 59 及讀出信號生成電路 60 所構成。

首先，使用圖 12 說明該讀出信號生成電路 60 之動作。

讀出信號生成電路 60，係由顯示開始信號 27 及線信號 28 生成讀出控制信號 49 及忙 (busy) 信號。當顯示資料對顯示記憶體之寫入動作及讀出動作，係非同步地進行時，兩個動作，即對記憶體之寫入存取及讀出存取有時係競爭之情況。這時，要調停兩者之存取，必需要使其中一個的存取優先進行。而忙信號 61 係為了調停而產生者。如圖 12 所示，讀出先頭信號 49-1，係將顯示開始信號 27 邏輯反轉而生成。又，記憶體讀出信號 49-2，係只比線信號 28 遲時間 t_{wp} ，而成為邏輯 1，

五、發明說明 (32)

藉此在時間 t_{rp} 之後，回復至邏輯 0。此處，時間 t_{rp} 係爲了讀出記憶於顯示記憶體 43 之顯示資料之讀出準備時間，同時，也是將 8 位元顯示資料 10 寫入顯示記憶體 43 所需要之時間。又，忙信號 61 係線信號 28 及記憶體讀出信號 49-2 之邏輯和，在記憶體讀出信號 49-2 前先被輸出。像這樣生成之讀出先頭信號 49-1 及記憶體讀出信號 49-2，藉此從顯示記憶體 43 讀出顯示資料，關於其詳細之說明在後面會敘述。

其次，使用圖 13 及圖 14 說明圖 11 之寫入信號生成電路 59 之動作。

寫入信號生成電路 59，係由 FLM 信號 20 及 CL1 信號 21、CL2 信號 22，生成寫入先頭信號 48-1 及記憶體寫入信號 48-2。寫入先頭信號 48-1，係將 FLM 信號 20 予以邏輯反轉而生成者。又，忙信號 61 在邏輯 0 時，係如圖 13 所示，記憶體寫入信號 48-2，係隨著 CL1 信號 21 之上昇，而作爲時間寬 t_{wp} 之脈衝而生成者。忙信號 61 在邏輯 1 時，係如圖 14 所示，記憶體寫入信號 48-2，在 CL1 信號 21 之上昇時，於忙信號 61 爲邏輯 1 時，忙信號 61 從成爲邏輯 0 開始，作爲上昇時間寬 t_{wp} 之脈衝而生成者。

此處，所謂的忙信號 61 爲邏輯 1，係指讀出信號生成電路 60（圖 11）將記憶體讀出信號 49-2 供給顯示記憶體 43，從顯示記憶體 43 讀出顯示資料之動作中。

五、發明說明(33)

。所以，對於顯示記憶體43之資料之寫入，因係在讀出動作中要等待，即讀出優先。一般而言，由於記憶體無法同時進行讀出動作及寫入動作，所以藉由進行如以上這樣對顯示記憶體43之存取之控制，而使寫入信號及讀出信號不同時發生。

又，如圖12所示，使忙信號61比記憶體讀出信號49-2先發生（即，使記憶體讀出信號49-2從線信號28遲時間 t_{wp} ）。這是因為，在顯示記憶體43之寫入動作中（即，起初，忙信號61為邏輯0），即使線信號28上昇，不需要立刻進行記憶體讀出動作，藉由使其延遲時間 t_{wp} 而進入讀出動作，而不使顯示記憶體43之寫入動作及讀出動作同時發生。

如以上所述，藉由讀出信號生成電路60及寫入信號生成電路59之動作，使對於顯示記憶體43之寫入及讀出之存取被控制。

圖15係表示圖5之寫入控制電路41之一具體例之方塊圖，71為寫入地址計數器，72為寫入地址緩衝器。又，圖16係表示該具體例之動作之時序圖，對應於圖15之信號之信號，給予同一符號。

在圖15中，寫入控制電路41，係由寫入地址計數器71及寫入地址緩衝器72所構成。寫入地址計數器71，係如圖16所示，在每次從記憶體存取控制電路38（圖5）供給寫入先頭信號48-1時，使其初始化為其計數值成為0，之後，計算從記憶體存取控制電路

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (34)

3 8 來的記憶體寫入信號 4 8 - 2，將 0、1、2 …… 這樣 1 個個增加之寫入地址計數值 7 3 輸出。

寫入地址值 7 3，係介由寫入地址緩衝器 7 2，作為記憶體寫入地址 5 2 供給至顯示記憶體 4 3 (圖 5)。寫入地址緩衝器 7 2，在記憶體寫入信號 4 8 - 2 為邏輯 0 時 (即，記憶體寫入信號 4 8 - 2 之邏輯 1 之脈衝之期間)，不輸出記憶體寫入地址 5 2，而成為高阻抗，而在記憶體寫入信號 4 8 - 2 為邏輯 1 時，以寫入地址計數值 7 3 作為記憶體地址信號 5 2 而輸出至顯示記憶體 4 3 (圖 5)。

如以上所述，寫入控制電路 4 1，在從寫入門鎖 5 0 (圖 5) 來的記憶體寫入資料 5 1 被寫入顯示記憶體 4 3 時，藉由記憶體寫入信號 4 8 - 2，將記憶體寫入地址信號 5 2 供給至顯示記憶體 4 3。

圖 1 7 係表示在圖 5 之讀出控制電路 4 2 之一具體例之方塊圖，7 4 係讀出地址計數器，7 5 係讀出地址緩衝器。又，圖 1 8 係表示該具體例之動作之時序圖，對應於圖 1 7 之信號之信號，給予同一符號。

在圖 1 7 中，讀出控制電路 4 2，係由讀出地址計數器 7 4 及讀出地址緩衝器 7 5 所構成。讀出地址計數器 7 4，係如圖 1 8 所示，在每次從記憶體存取控制電路 3 8 (圖 5) 被供給讀出先頭信號 4 9 - 1 時，使其計數值被初始化成為 0，之後，計算記憶體存取控制電路 3 8 來的記憶體讀出信號 4 9 - 2，將 0、1、2 …… 這樣 1

五、發明說明 (35)

個個增加之讀出地址計數值 7 6 輸出。

讀出地址計數值 7 6，係介由讀出地址緩衝器 7 5，作為記憶體讀出地址 5 3 供給至顯示記憶體 4 3（圖 5）。讀出地址緩衝器 7 5，係在記憶體讀出信號 4 9 - 2 為邏輯 0 時（即，記憶體讀出信號 4 9 - 2 之邏輯 1 之脈衝之期間），不輸出記憶體讀出地址 5 3，而成為高阻抗狀態，在記憶體讀出信號 4 9 - 2 為邏輯 1 時，以讀出地址計數值 7 6 作為記憶體讀出地址信號 5 3，輸出至顯示記憶體 4 3。

如以上所述，讀出控制電路 4 2，係與記憶體讀出資料 5 4 之顯示記憶體 4 3 來的讀出相同之時序，藉由記憶體讀出信號 4 9 - 2，將記憶體讀出地址信號 5 3 供給至顯示記憶體 4 3。

又，讀出地址計數器 7 4，也生成資料位元信號 5 6。該資料位元信號 5 6，係表示將記憶於顯示記憶體 4 3 之各位元組成 A、B（圖 1 0）之中那一個位元組成之顯示資料讀出之信號，如圖 1 8 所示，讀出地址計數值 7 6，在值 0 ~ 2 3 9 時為邏輯 0，在值 2 4 0 ~ 4 7 9 時為邏輯 1。即，資料位元信號 5 6 在 0 邏輯時，於位元組成 A 處進行讀出，在邏輯 1 時，於位元組成 B 進行讀出。該資料位元信號 5 6 被供給至解碼器 4 5（圖 5）。

以如以上這樣所生成之記憶體讀出地址信號 5 3 為基礎，從顯示記憶體 4 3 讀出顯示資料，其次，利用圖 1 9 說明讀出動作。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (36)

在圖 5 及圖 19 中，藉由於記憶體存取控制電路 38 所生成之記憶體讀出信號 49 - 2 及讀出控制電路 42 所生成之記憶體讀出地址信號 53，從顯示記憶體 43 讀出記憶體讀出資料 54，給供至讀出門鎖 44。該讀出門鎖 44，係在記憶體讀出信號 49 - 2 從邏輯 1 變化至邏輯 0 時，將記憶體讀出資料 54 門鎖 54，將其作為讀出門鎖輸出資料 56 供給至解碼器 45。

圖 20 係表示圖 5 之解碼器 45，位準位移器 46 及輸出電路 47 之一具體例之電路圖。

在同圖中，從讀出門鎖 44 來的上述之讀出門鎖輸出資料 55，係被供給至解碼器 45。解碼器 45，係由該讀出門鎖輸出輸出資料 55，及讀出控制電路 42 (圖 5) 來的資料位元信號 56，及施加於液晶之電壓之極性切換之基準信號之 M 信號 29，生成解碼信號 57，供給至位準位移器 46。

位準位移器 46，係將該解碼信號 57 來換成例如驅動由電晶體所構成之輸出電路 47 之信號之電路。藉此，輸出電路 47，選擇 V0 電壓 30、V1 電壓 31、V2 電壓 32、V3 電壓 33 之 4 個位準之電壓之中的 1 個，將此作為資料電極驅動信號 14 - 1，供給至液晶面板 1 (圖 2) 之資料電極 X0 ~ X159。

讀出門鎖輸出資料 55，及資料位元信號 56 及 M 信號 29 及資料電極驅動信號 14 之關係，以下面的表 1 表示。

五、發明說明 (37)

M 信號, 29	資料位元 信號 56	讀出門鎖輸 出資料 55 D_{ij}	輸出 14-1 , 14-2 X_j
0	0	0	V_0
0	0	1	V_3
0	1	0	V_1
0	1	1	V_2
1	0	0	V_3
1	0	1	V_0
1	1	0	V_2
1	1	1	V_1

表 1 係由解碼器 4 5、位準位移器 4 6 及輸出電路 4 7 所生成之資料電極驅動信號 1 4 之輸出真理值表。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (38)

上述係與圖 3 之資料驅動器 17 - 2 同樣的，藉此，得到對於液晶面板 1 之資料電極 X 160 ~ X 319 之資料驅動信號 14 - 2。

圖 21 係表示圖 1 之電源電路 5 之一具體例之電路圖，77 ~ 83 為緩衝放大器，R 1 ~ R 3 為電阻。

在同圖中，電源電路 5 係由串聯連接之分壓用電阻 R 3、R 2、R 1、R 1、R 2、R 3 及緩衝放大器 77 ~ 83 所構成。在這些串聯電阻的一邊的端子上施加電壓 V_{cc} ，而在另一端子上施加電壓 V_{LCD} ，而獲得電壓 V_{cc} 及電壓 $V_{cc} \sim LCD$ 間的 5 個電壓及電壓 V_{LCD} 等 7 個不同值之直流電壓。這些直流電壓係分別供給至緩衝放大器 77 ~ 83，而獲得作為電源電路 5 之輸出電壓之 V_4 電壓 99、 V_0 電壓 30、 V_1 電壓 31、 V_5 電壓 100、 V_2 電壓 32、 V_3 電壓 33、 V_6 電壓 101。此處，係 $V_4 > V_0 > V_1 > V_5 > V_2 > V_3 > V_6$ 。電阻 R 1 ~ R 3 之分壓比被設定成這些輸出電壓為一定值。

圖 22 係表示圖 1 之顯示時鐘脈衝發生器 4 之一具體例之方塊圖，84 係計數器，85 為邏輯積電路，87 係基準時鐘發生器，102 為 2 分頻電路。

圖 23 為表示圖 22 之各部份之信號之時序圖，與圖 22 之信號對應之信號給予相同符號。

在圖 22 及圖 23 中，基準時鐘發生器 87，係發生基準時鐘 88。該基準時鐘 88 之 1 周期係與 1 水平期間

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (39)

相等，係將上述顯示記憶體 4 3 上所存儲之 8 位元顯示資料 1 0 讀出，生成資料電極驅動信號 1 4 之基準之時鐘。

該基準時鐘 8 8 係被供給至計數器 8 4，藉此被分頻而生成顯示開始信號 2 7、掃描開始信號 1 0 5 及顯示有效信號 8 6。顯示開始信號 2 7，係表示顯示記憶體 4 3 (圖 5) 上所存儲之顯示資料之讀出開始之信號，以該 1 周期，使 1 幀之所有的顯示資料被讀出。掃描開始信號 1 0 5，係表示液晶面板 1 (圖 2) 之掃描電極 Y 0 ~ Y 2 3 9 之掃描開始之信號，在此實施例，係於顯示開始信號 2 7 之 1 周期，使掃描開始信號 1 0 5 發生。

又，顯示有效信號 8 6，係表示顯示開始信號 2 7 於發生後之實際之顯示動作之有效期間之信號，此顯示有效信號 8 6 及基準時鐘 8 8，係於邏輯積電路 8 6 進行邏輯積演算，藉此獲得顯示有效期間之基準時鐘，即線信號 2 8。

2 分頻電路 1 0 2，係將顯示開始信號 2 7 分頻，在每個顯示開始信號 2 7，生成切換邏輯 0 及邏輯 1 之 M 信號 2 9。該 M 信號 2 9 係為了將施加於液晶之電壓之極性切換之基準信號。液晶主要係由高分子之化合物所形成，長時間施加直流電壓時，其特性會劣化，所以必需要像這樣切換液晶之施加電壓之極性。在此實施例，每個顯開始信號 2 7，切換液晶之施加電壓之極性，防止液晶之特性之劣化。

圖 2 4 係表示圖 1 之掃描電極驅動電路 3 之一具體例

五、發明說明(40)

之方塊圖，89-1，89-2為掃描驅動器。

在同圖中，掃描電極驅動電路3係由掃描驅動器89-1、89-2所構成。這些掃描驅動器87-1、87-2，係分別地顯示時鐘脈衝發生器4(圖22)被供給顯示時鐘12，從電源電路5(圖21)被供給掃描基準電壓16。此處，顯示時鐘12，係由圖23所說明之時序之掃描開始信號105及線信號28及M信號29所構成，掃描基準電壓16，係由如圖21所示之V4電壓99及V5電壓100及V6電壓101所構成。

圖25係表示圖24之掃描驅動器89-1之一具體實施例之方塊圖，92為計數器，73為解碼器，74為位準位移器，95為輸出電路。

圖26係表示圖25之各部之信號之時序圖，圖25之信號所對應之信號，給予相同之符號。

在圖25及圖26中，計數器92，係在可輸入信號91為邏輯0時，不進行計數動作，在可輸入信號91為邏輯1時，進行計數動作。而當可輸入信號91為邏輯1時，計數器92在每次掃描開始信號105被供給時，其計數值被初始化，計等掃描開始信號105後之線信號28，以其計數值作為計數器輸出信號96而發生。然後，計數器92，當將線信號28計算120次時，使可輸出信號97成為邏輯1，之後停止計數動作，直到下一個掃描開始信號105被供給為止。該可輸出信號97，係作為可輸入信號供給至構成同樣的構成之掃描驅動器89

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(41)

— 2 之同樣的計數器。

從計數器 9 2 來的計數器輸出信號 9 6，係藉由解碼器 9 3、位準位移 9 4 及輸出電路 9 5，被變換成掃描電極驅動信號 1 5 - 1。該掃描電極驅動信號 1 5 - 1，係配合計數器輸出信號 9 6 之值，選擇施加液晶面板 1 (圖 2) 之掃描電極 Y 0 ~ Y 1 1 9 之中的掃描電壓者，又，配合供給解碼器 9 3 之 M 信號 2 9，而使被選擇之掃描電極上所施加之掃描電壓之極性不同。

此處，圖 2 4 之掃描驅動器 8 9 - 1 及掃描驅動器 8 9 - 2 係分別負擔 2 4 0 個的掃描電極 Y 0 ~ Y 2 3 9 之一半。此處，掃描驅動器 8 9 - 1，係將掃描電壓供給至掃描電極 Y 0 ~ Y 1 1 9，掃描驅動器 8 9 - 2，係將掃描電壓供給至掃描電極 Y 1 2 0 ~ Y 2 3 9 者。

此處，就掃描驅動器 8 9 - 1 作一說明，M 信號 2 9 為邏輯 1 時，輸出電路 9 5 係選擇電源電路 5 (圖 2 1) 來的 V 4 電壓 9 9，而將此 V 4 電壓 9 9 施加於配合計數輸出信號 9 6 之掃描電極。即，

當計數器輸出信號 9 6 之值為 1 時，施加於掃描電極 Y 0，

當計數器輸出信號 9 6 之值為 2 時，施加於掃描電極 Y 1，

當計數器輸出信號 9 6 之值為 3 時，施加於掃描電極 Y 2，

當計數器輸出信號 9 6 之值為 4 時，施加於掃描電極

五、發明說明(42)

Y 3 ,

: : :

當計數器輸出信號 9 6 之值為 1 2 0 時，施加於掃描電極 Y 1 1 9 ,

各給予 V 4 電壓，被此 V 4 電壓 9 9 所掃描。又，M 信號 2 9 為邏輯 0 時，輸出電路 9 5 係選擇電源電路 5 (圖 2 1) 來的 V 6 電壓 1 0 1，而將此 V 6 電壓 1 0 1

於計數器輸出信號 9 6 之值為 1 時，施加於掃描電極 Y 0 ,

於計數器輸出信號 9 6 之值為 2 時，施加於掃描電極 Y 1 ,

於計數器輸出信號 9 6 之值為 3 時，施加於掃描電極 Y 2 ,

於計數器輸出信號 9 6 之值為 4 時，施加於掃描電極 Y 3 ,

: : :

於計數器輸出信號 9 6 之值為 1 2 0 時，施加於掃描電極 Y 1 1 9，以 V 6 電壓 1 0 1 掃描。

又，V 4 電壓 9 9、V 6 電壓 1 0 1 所不能供給之掃描電極，被供給 V 5 電壓 1 0 0。V 4 電壓 9 9、V 6 電壓 1 0 1，係如圖 2 6 所示，與 V 5 電壓 1 0 0 之極性不相同。

在圖 2 4 之掃描驅動器 8 9 - 2，藉由圖 2 5 之計數器 9 2 來的可輸出信號 9 7 為邏輯 1，同樣地，將 V 4 電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(43)

壓 9 9 或 V 6 電壓 1 0 1 分別供給掃描電極 Y 1 2 0 ~ Y 2 3 9 , 以這些進行掃描。

如以上所述, 利用圖 1 ~ 圖 2 6 說明第 1 實施例之動作。其次, 藉由圖 2 7 ~ 圖 2 9 , 以具體例與表示假定顯示模式而施加於液晶面板 1 之電壓。

圖 2 7 係表示假定液晶面板 1 (圖 2) 為 8×8 點時之顯示模式之一例者。此處, 也如上所述一般, 顯示之灰階數為 4 灰階。

又, 圖 2 8 係表示對於圖 2 7 所示之顯示模式之各資料電極 X 0 ~ X 7 及各掃描電極 Y 0 ~ Y 7 之電壓波形。資料電極 X 0 ~ X 7 之電壓波形係依據上述之表 1 而得者, 掃描電極 Y 0 ~ Y 7 之電壓波形係依據上述而得者。

此處, 顯示開始信號 2 7 之周期稱為幀周期, 掃描開始信號 1 0 5 之周期稱為場周期, M 信號 2 9 之周期稱為交流周期。場周場的 2 倍係與幀周期相等。這是因為, 以 2 位元之顯示資料表示 4 灰階, 所以對於構成顯示資料之 2 個位元, 分別與不同的場對應。在圖 2 8 所示之例, 使灰階位元之權值之較大位元 (上位位元) 對應 2 個場之中的前半的場 (以下稱場期間 F), 使灰階位元之權值較小之位元 (下位位元) 對應後半的場 (以下稱場期間 R)。
。然後, 以 1 幀內的 2 個場的各個位元表示 4 灰階。

又, 藉由對每幀使 M 信號 2 9 邏輯反轉, 而使施加於液晶之電壓之極性於每一幀反轉。這稱之為幀交流。

所以, 如圖 2 8 所示, 藉由上述表 1, M 信號 2 9 為

五、發明說明(44)

邏輯 1 時，使圖 10 之位元組成 A 讀出上位位元 $D_{ij}(0)$ 之場期間 F，由於資料位元信號 56 為邏輯 0，所以配合上位位元 $D_{ij}(0)$ V0 電壓 30 或 V3 電壓 33 被施加於資料電極 X0 ~ X7；從圖 10 之位元組成 A 讀出下位位元 $D_{ij}(1)$ 之場期間 R，由於資料位元信號 56 為邏輯 1，所以配合下位位元 $D_{ij}(1)$ ，將 V2 電壓 32 或 V1 電壓 31 施加於資料電極 X0 ~ X7。又，M 信號 29 在邏輯 0 時也相同，但是對於被讀出之位元之 V0 電壓 30 或 V3 電壓 33 之關係，及 V2 電壓 32 或 V1 電壓 31 之關係分別成相反。

在如上述所給予之資料電極及掃描電極處之實際上於顯示像素處被施加之電壓之例，表示於圖 29，藉此，圖 27 之掃描電極 Y0（稱 Y0 電極，以下都這樣稱呼）與 X2 電極之交點，Y0 電極與 X5 電極之交點，Y0 電極與 X7 電極之交點，及 Y0 電極與 X1 電極之交點，表示各顯示像素上所施加之電壓波形。

現在，看圖 27 之有關於 Y0 電極，Y0 電極與 X2 電極之交點的顯示像素（稱 X2 - Y0 像素）最為明亮，X5 - Y0 像素稍為明亮，X7 - Y0 像素係稍為黑暗，X1 - Y0 像素最為黑暗。在這樣的灰階，X2 - Y0 像素之顯示資料，係上位位元 $D_{ij}(0) = 1$ ，下位位元 $D_{ij}(1) = 1$ ；X5 - Y0 像素之顯示資料係上位位元 $D_{ij}(0) = 1$ ，下位位元 $D_{ij}(1) = 0$ 。又，X7 - Y0 像素之顯示資料，係上位位元 $D_{ij}(0) =$

五、發明說明(45)

0，下位位元 $D_{ij}(1) = 1$ ；X1 - Y0 像素之顯示資料，係上位位元 $D_{ij}(0) = 0$ ，下位位元 $D_{ij}(1) = 0$ 。

在圖29中，如圖25及圖26之說明，將V4電壓99或V6電壓101施加於掃描電極之期間稱選擇期間，除此之外的5電壓100被施加之期間稱為非選擇期間。灰階顯示係於幀周期內的2次的選擇期間，藉由施加於顯示像素之電壓而決定。從圖28可知，在M信號29為邏輯1的幀周期內的最初之場期間F的選擇期間，在顯示資料之權值較大的灰階位元（上位位元）ON時（即邏輯1時）之V4電壓99與V3電壓33之電壓差（稱V4 - V3之電壓），或該灰階位元為OFF（即，邏輯0）時之V4 - V0之電壓，分別被施加於像素。又，在下一個場期間R之選擇期間，在顯示資料之權值較小的灰階位元（下位位元）為ON時之V4 - V2之電壓，或該灰階位元為OFF時之V4 - V1之電壓，分別被施加於各像素。

於是，在X2 - Y0像素處，於場期間F、R為ON，在場期間F之選擇期間，被施加V4 - V3之電壓，於場期F的選擇期間，被施加V4 - V2之電壓，藉此可進行最明亮之顯示。在X5 - Y0像素處，於場期間F為ON，於場期間R為OFF，於場期間F之選擇期間，被施加V4 - V3之電壓，於場期間R之選擇期間，被施加V4 - V1之電壓，藉此可進行略為明亮之顯示。在X7

五、發明說明(46)

— Y 0 像素處，於場期間 F 為 OFF，於場期間 R 為 ON，於場期間 F 之選擇期間，被施加 $V_4 - V_0$ 之電壓，於場期間 R 之選擇期間，被施加 $V_4 - V_2$ 之電壓，藉此可進行略為黑暗之顯示。於 X 1 - Y 0 像素處，於場期間 F、R 為 ON，於場期間 F 之選擇期間，被施加 $V_4 - V_0$ 之電壓，於場期間 R 之選擇期間，被施加 $V_4 - V_1$ 之電壓，藉此可進行最暗之顯示。

如此，灰階係以各場期間 F 或 R 所施加之選擇電壓之大小之組合。

M 信號 29 為 0 邏輯之下一個幀，係如圖 29 所示，於場期間 F，X 2 - Y 0 像素被施加 $V_6 - V_0$ 電壓，X 5 - Y 0 像素被施加 $V_6 - V_0$ 之電壓，X 7 - Y 0 像素被施加 $V_6 - V_3$ 之電壓，X 1 - Y 0 像素被施加 $V_6 - V_3$ 之電壓；又，於場期間 F，X 2 - Y 0 像素被施加 $V_6 - V_1$ 之電壓，X 5 - Y 0 像素被施加 $V_6 - V_2$ 之電壓，X 7 - Y 0 像素被施加 $V_6 - V_1$ 之電壓，X 1 - Y 0 像素被施加 $V_6 - V_2$ 之電壓。但是，這種情況時，與 M 信號 29 為邏輯 1 時成相反極性。

如以上所述，在此實施例，依照均等脈衝寬度調製方式驅動液晶之水平頻率作為寫入顯示資料之水平頻率之 n 倍，藉由對液晶之驅動信號進行脈衝之位準加權，如此可不用大幅度地提高資料位移時鐘，即可顯示 2^n 之灰階。又，藉由可提高顯之掃描頻率，可實現以高對比驅動高速應答液晶材料之液晶顯示裝置。例如，藉由使驅動液晶之

五、發明說明(47)

掃描頻率成爲2倍(約60Hz至120Hz)，實現4灰階，更者，藉由使幀頻成爲2倍，而使以合計4倍之掃描頻率(從約120Hz至約240Hz)驅動成爲可能，而可以用高對比驅動高速應答液晶。

又，由於將顯示記憶體內藏於資料驅動器，所以配合輸出至液晶面板之資料電壓之頻率，配合從顯示控制器所傳送來的顯示資料之頻率成爲不必要，而可以獨立地使顯示控制器作動。所以，由於可減低小型資訊機器或個人電腦、文字處理器、電子計算機、或其他之具備有本實施例之液晶顯示裝置之電子機器，所以當顯示內容沒有變化時，可以使顯示控制器之動作頻率減低，或停止。

本發明之液晶顯示裝置，係可與CRT或電漿顯示器等其他之液晶不同之方式之顯示裝置一起使用。這種情況時，CRT或電漿顯示器，也可以具有與液晶顯示裝置不同之動作頻率。這種情況時，使顯示控制器之動作頻率與所希望之顯示裝置之頻率一致。藉此，液晶顯示裝置與其他的顯示裝置可同時作畫像顯示。

更者，每個幀，由於施加於顯示像素之電壓，係極性反轉者，所以可控制液晶之特性劣化。

又，此實施例，係說明了顯示資料爲2位元作9灰階顯示之情況，本發明當然並不只限於此，配合灰階之位元數而可以很容易地變更顯示記憶體之容量或資料電壓之位準數、解碼器之構成。

其次，利用圖30～圖33，說明本發明之液晶顯示

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(48)

裝置及方法之第2實施例。

比第2實施例，基本上也與上述第1實施例有相同之構成，但是與上述第1實施例，在顯示記憶體43之顯示資料之存取方式不同。

圖30係表示第2實施例之顯示記憶體43之各地址與存儲於該處之顯示資料之關係之記憶圖之一具體例之圖。

比記憶圖與圖10所示之記憶圖之不同點，係如下所述，在圖10，只將顯示資料之位元0（上位位元）存儲於位元組成A，只將位元1（下位位元）存儲於位元組成B者，而圖30，係將顯示資料之位元0、1輪流地存儲於各位元組成A、B者。

即，與圖5所說明者相同地，在寫入時，藉由記憶體存取控制電路38及寫入控制電路41之控制，使1行的顯示資料51被供給至顯示記憶體43而被記憶，而顯示記憶體43之各位元組成0、1，係如圖30所示，不同灰階位元（即，上位位元與下位位元）輪流排列而被存儲。

例如，在位元組成A的第0行（寫入地址0），上位位元為灰階位元0，以下位位元作為灰階位元1。

以顯示資料 $D_{0,0}$ 之灰階位元0，顯示資料 $D_{0,1}$ 之灰階位元1，顯示資料 $D_{0,2}$ 之灰階位元0，顯示資料 $D_{0,3}$ 之灰階位元1，……之方式，使灰階位元0、1、0、1……交互地被存儲。而在位元組成A之第1的第1

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (49)

行 (寫入地址 1) , 係與此相反。

以顯示資料 $D_{0,0}$ 之灰階位元 1 , 顯示資料 $D_{0,1}$ 之灰階位元 0 , 顯示資料 $D_{0,2}$ 之灰階位元 1 , ... 之方式 , 使灰階位元 1 、 0 、 1 、 0 ... 交互地被存儲。然後 , 下一行 (第 2 行) , 係與上述相反之順序 , 將灰階位元存儲於各位元組成 A 、 B 。

如以上所述 , 各位元組成 A 、 B , 係存儲有使各灰階位元之行方向與列方向輪流地將灰階位元 0 、 1 排列者。

另一方面 , 像這樣被存儲於顯示記憶體 4 3 之各顯示資料 , 係藉由記憶體存取控制電路 3 8 及讀出控制電路 X 2 , 以圖 1 0 所示之記憶圖之顯示記憶體 4 3 之讀出方法相同之方法 , 被依序讀出。

圖 3 1 係表示圖 3 0 所示之記憶圖之圖 1 7 所示之讀出控制電路 4 2 之動作之時序圖。

讀出控制電路 4 2 , 係如圖 1 7 所說明者 , 係由讀出地址計數器 7 4 及讀出地址緩衝器 7 5 所構成 , 讀出地址計數器 7 6 及記憶體讀出地址 5 3 , 係以圖 1 8 所示之時序發生。所以 , 顯示記憶體 4 3 之讀出方法也與上述第 1 實施例相同。此第 2 實施例之動作與上述第 1 實施例之動作不同者 , 係讀出地址計數器 7 4 所發生之資料位元信號 5 6 。

即 , 在此實施例 , 係如圖 3 1 所示 , 資料位元信號 5 6 , 係以讀出地址計數值 7 6 在偶數值時為邏輯 0 , 奇數值時為邏輯 1 而發生者。此資料位元信號 5 6 , 係被供

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(50)

給至解碼器45(圖5)，與M信號29，將讀出門鎖輸出資料55解碼，而生成解碼信號57。此解碼信號57，係被變換成以位準位移器46(圖5)驅動輸出電路47(圖5)之信號，藉此，輸出電路47，係選擇V0電壓30、V1電壓31、V2電壓32、V3電壓33的4個位準之電壓之中的1個，作為資料電極驅動信號14。

又，在此實施例之解碼器45，係與圖20所示之解碼器45之構成不同。圖5之解碼器45及位準位移器46及輸出電路47之由讀出門鎖輸出資料55及資料位元信號56及M信號29所生成之資料電極驅動信號14之關係如下表2所示。

五、發明說明(51)

表 2

M信號 29	資料位元 信號 56	讀出門鎖輸 出資料 55 D_{ij}	輸出 14-1, 14-2	
			X_i (偶 數列)	X_i (奇 數列)
0	0	0	V0	V1
0	0	1	V3	V2
0	1	0	V1	V0
0	1	1	V2	V3
1	0	0	V3	V2
1	0	1	V0	V1
1	1	0	V2	V3
1	1	1	V1	V0

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (52)

表 2 係在該第 2 實施例中，解碼器 4 5 及位準位移器 4 6 及輸出電路 4 7 所生成之資料電極驅動信號 1 4 之輸出真理值表。

在圖 5 中，從顯示記憶體 4 3 讀出至讀出門鎖 4 4 之記憶體讀出資料 5 4，係被解碼器 4 5、位準位移器 4 6 及輸出電路 4 7 所處理，如表 2 所示這樣被變換，作為資料電極驅動信號 1 4 供給至液晶面板 1 (圖 2)。這時，資料電極驅動信號 1 4，即使讀出門鎖輸出資料 5 5 及資料位元信號 5 6 及 M 信號 2 9 之組合與上述第 1 實施例之情況相同，配合資料電極驅動信號 1 4 被供給之資料電極為第偶數個或第奇數個，而使其組合不同，依據表 2 所示之輸出真理值者，構成解碼器 4 5。

其次，以圖 2 7 所示之顯示模式作為例子，以圖 3 2 及圖 3 3 說明施加於液晶面板之電壓。

圖 3 2 係表示液晶驅動波形之一具體例。

在同圖中，與上述相同地，顯示開始信號 2 7 之周期稱幀周期，掃描開始信號 1 0 5 之周期稱為場周期，M 信號 2 9 之周期稱為交流周期，各周期之關係與圖 2 8 所示之時序圖相同。

在圖 3 2 所示之液晶驅動波形，在開始的場，於每 1 水平期間切換灰階位元之權值（即，將上位位元與下位位元切換），又，即使在圖 2 所示之每個資料電極（每列），也改變其切換順序。而，在下一個場（場期間 R），使其切換順序與上相反相。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (53)

以圖 3 3 表示，像這樣所給予之各資料電極及掃描電極之實際上施加於顯示像素之電壓之例。於 1 幀周期內之 2 次之場期間內之選擇期間，以施加於各像素之電壓之組合，決定各像素之灰階。又，以與一各列及行，給予液晶之施加電壓以切換灰階位元之權值，所以每 1 水平期間，液晶之施加電壓會變化。藉此，液晶之臨界值之頻率時之顯示蘭姆可減低。

如以上所述，在此實施例，具有與上述第 1 實施例同樣之效果，而且，藉由在每 1 水平期間，液晶施加電壓之變化，可達成液晶之臨界值之頻率特性之顯示蘭姆減低之效果。

圖 3 4 係表示本發明之液晶顯示裝置及方法之第 3 實施例之方塊圖，1 0 6 係液晶顯示模組，1 0 7 係顯示控制器，1 0 8 係視頻記憶體，1 0 9 係資料電極驅動電路，1 3 3 係電源電路，對對應於圖 1 的部份給予相同的符號。

在同圖中，系統總線 9，係個人電腦或文字處理器等之基本系統總線，藉由未圖示之 C P U 或微處理器或程式被存儲之記憶體，將顯示控制器 1 0 7 之控制或顯示資料存儲於視頻記憶體 1 0 8。顯示控制器 1 0 7，係具有與日立公司所製之 C R T 控制器 H D 6 8 4 5 等相同之機能，而將存儲於視記憶體 1 0 8 之顯示資料以高速（例如，以幀頻 1 5 0 H z 以上）讀出，作為 8 位元顯示資料 1 1 2，以高幀送至液晶顯示模組 1 0 6。又，顯示控制

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (54)

器 1 0 7 , 係也將與 8 位元顯示資料 1 1 2 同步之基準時鐘之輸入時鐘 1 1 1 , 送出至液晶顯示模組 1 0 6 。

而將 8 位元顯示資料 1 1 2 送出之速度, 係將構成 1 畫面之所有的顯示資料送出之次數, 即幀頻, 爲了從視頻記憶體 1 0 8 以高速讀出, 需 1 5 0 H z 以上。

以幀頻 1 5 0 H z 以上被送出之 8 位元顯示資料 1 1 2 , 係在液晶顯示模組 1 0 6 中, 被供給至資料電極驅動電路 1 0 9 。在資料電極驅動電路 1 0 9 , 將該 8 位元顯示資料 1 1 2 , 以原來的高幀頻來接收, 生成輸出資料電極驅動信號 1 4 , 以高幀頻驅動液晶面板 1 。

另一方面, 掃描電極驅動電路 3 , 係從輸入時鐘 1 1 生成掃描電極驅動信號 1 5 , 藉此, 以例如 1 5 0 H z 之高幀頻驅動液晶面板 1 。

如此, 由於以高幀頻驅動液晶面板 1 , 所以顯示控制器 1 0 7 , 係以高幀頻輸出 8 位元顯示資料 1 1 2 , 資料電極驅動電路 1 0 9 及掃描電極驅動電路 3 , 係成爲可對應此高幀頻之構成者。

圖 3 5 係表示圖 3 4 之資料電極驅動電路 1 0 9 之一具體例之方塊圖, 1 1 7 - 1 , 1 1 7 - 2 爲資料驅動器。

在同圖中, 資料電極驅動電路 1 0 9 , 係由資料驅動器 1 1 7 - 1 、1 1 7 - 2 所構成。而, 這些資料驅動器 1 1 7 - 1 、1 1 7 - 2 , 從顯示控制器 1 0 7 (圖 3 4) 被供給 8 位元顯示資料 1 1 2 , 及由 C L 1 信號 1 1 4

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (55)

、C L 2 信號 1 1 5 及 M 信號 1 1 6 所構成之輸入時鐘 1 1 1，而生成各資料電極 X 0 ~ X 1 5 9 之驅動信號 1 4 - 1、及資料電極 X 1 6 0 ~ X 3 1 9 之驅動信號 1 4 - 2。

圖 3 6 係表示相關之輸入時鐘 1 1 1 及 8 位元顯示資料 1 1 2 之時序關係者。

在同圖中，F L M 信號 1 1 3，係表示是否已送出 1 畫面的所有之 8 位元顯示資料 1 1 2 之信號，而此 F L M 信號 1 1 3 之周期之倒數為幀頻（又，在此實施例，幀頻係如上所述在 1 5 0 H z 以上）。而，在每個 F L M 信號 1 1 3 之 1 周期，C L 1 信號 1 1 4 作為 2 4 0 個脈衝而送來。該 C L 1 信號 1 1 4，係在每 8 位元顯示資料 1 1 2 之 1 行分送來時發生之時鐘，該 C L 1 信號 1 1 4 之 1 周期為 1 水平期間，以 2 4 0 個 1 水平期間構成 1 幀。

在每個該 C L 1 信號 1 1 4 之 1 周期，與 C L 2 信號 1 1 5 一起，顯示資料 1 1 2 被送至 4 0 個串列。該 8 位元顯示資料 1 1 2，係以 1 個的 C L 2 信號 1 1 5，使 8 個像素之資料被送來。所以，在 1 水平期間， $8 \times 4 = 320$ 像素之 8 位元顯示資料 1 1 2 被送來。

如上述這樣，1 畫面之 8 位元顯示資料 1 1 2，以幀頻 1 5 0 H z，與各時鐘同步而送來。

回到圖 3 5，從電源電路 1 3 3（圖 3 4）供給資料驅動器 1 1 7 - 1、1 1 7 - 2 之基準電壓 1 3 1，係由

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (56)

V 0 電壓 1 2 6 及 V 1 電壓 1 2 7 所構成。依據輸入時鐘 1 1 1，由供給資料驅動器 1 1 7 - 1、1 1 7 - 2 之 8 位元顯示資料 1 1 2，以資料基準電壓 1 3 1 為基礎，生成資料電極驅動信號 1 4。又，供給資料驅動器 1 1 7 - 1、1 1 7 - 2 之位移方向信號 2 4 及可輸入信號 2 5，係決定這些資料驅動器 1 1 7 - 1、1 1 7 - 2 的動作之控制信號，其動作係與上述第 1 之實施例相同，省略其說明。

圖 3 7 係表示圖 3 5 之資料驅動器 1 1 7 - 1 之一具體例之方塊圖，1 1 8 為輸入門鎖，1 2 0 為輸出門鎖，1 2 2 為解碼器，1 2 4 為位準位移器，1 3 5 為輸出電路，對於對應圖 5 的部份給予相同的符號。

在同圖中，8 位元顯示資料 1 1 2，係依據多路轉換器 3 9 之動作，於輸入門鎖 1 1 8 存儲 1 行分，藉由 C L 1 信號 1 1 4，同時作為 8 位元門鎖輸出信號 1 1 9 而被輸出。又，該多路轉換器 3 9 之構成及動作，係與圖 6 所示之上述第 1 實施例相者，所以省略其說明。該 8 位元門鎖輸出信號 1 1 9，以 C L 1 信號 1 1 4 再被儲存於輸出門鎖 1 2 0，而作為門鎖輸出信號 1 2 1 而被輸出。解碼器 1 2 2，係藉由將門鎖輸出信號 1 2 1 與 M 信號 1 1 6 之組合，來加以解碼，生成指示選擇 V 0 電壓 1 2 6 或 V 1 電壓 1 2 7 之中任何一個之解碼器輸出信號 1 2 3。該解碼器輸出信號 1 2 3，係被變換成以位準位移器 1 2 4 驅動輸出電路 1 3 5 之位準位移輸出信號

五、發明說明 (57)

1 2 5。在輸出電路 1 3 5，配合該位準位移輸出信號 1 2 5，選擇 V 0 信號 1 2 6、V 1 信號 1 2 7 中的一個，作資料電極驅動信號 1 4 供給至液晶面板 1 之資料電極 X 0、X 1、……X 15 9 (圖 2)。

圖 3 5 之資料驅動器 1 1 7 - 2 也形成同樣之構成，圖 3 7 之可輸出信號 2 6 為邏輯 1，同時進行與資料驅動器 1 1 7 - 1 相同之動作，生成資料驅動信號 1 4 - 2。

圖 3 8 係表示圖 3 7 之輸入門鎖 1 1 8 之一具體例之時鐘，1 3 4 為 8 位元門鎖。

在同圖中，輸入門鎖 1 1 8，係由 4 0 個 8 位元門鎖 1 3 4 所構成，藉由多路轉換器 3 9 (圖 3 7) 來的門鎖信號 5 0 之指示，於這些 8 位元門鎖 1 3 4，依序 8 位元顯示資料 1 1 2 被存儲 1 行分，作為 8 位元門鎖信號 1 1 9 而被輸出。此處也如圖 2 所示，液晶面板 1 之資料電極之根數，為 3 2 0 根，於資料電極驅動電路 1 0 9，如圖 3 5 所示，使用 2 個資料驅動器 1 1 7 - 1、1 1 7 - 2，所以輸入門鎖 1 1 8 內藏有 4 0 個的 8 位元門鎖 1 3 4。

其次，藉由圖 3 9，說明圖 3 7 之輸入門鎖 1 1 8 及輸出門鎖 1 2 0 之動作。

在輸入門鎖 1 1 8，依順序被輸入，而藉由 8 位元門鎖信號 5 0，8 位元顯示資料 1 1 2 被依序之 8 位元門鎖 1 3 4 所門鎖，作為 8 位元門鎖輸出信號 1 1 9 而被輸出。即，4 0 個的 8 位元門鎖 1 3 4 係依序將持續送來之 8

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (58)

位元顯示資料 1 1 2 予以門鎖，將此作為 1 行分之顯示資料而暫時保持。而，從此被輸出之 8 位元門鎖信號 6 8，被供給至輸出門鎖 1 2 0，其次藉由被供給之 C L 1 信號 1 1 4，同時輸出門鎖 1 2 0 被取入，從此處起作為門鎖輸出信號 1 2 1 而被輸出至解碼器 1 2 2。

圖 4 0 係表示圖 3 7 之解碼器 1 2 2、位準位移器 1 2 4 及輸出電路 1 3 5 之一具體例之構成圖，對於對應於圖 3 7 之部份給予同一符號。

在同圖中，從輸出門鎖 1 2 0 所輸出之上述之門鎖輸出信號 1 2 1，係供給至解碼器 1 2 2，使用 M 信號 1 1 6，使解碼信號 1 2 3 生成。該解碼信號 1 2 3，係藉由位準位移器 1 2 4，被變換成驅動輸出電路 1 3 5 之信號 1 2 5。例如，由電晶體所構成之輸出電路 1 3 5，係配合該信號 1 2 5，選擇 V 0 電壓 1 2 6 及 V 1 電壓 1 2 7 之不同位準之電壓中的 1 個，作為資料電極驅動信號 1 4 - 1。

如以上所述，解碼器 1 2 2、位準位移器 1 2 4 及輸出電路 1 3 5，係與 M 信號 1 6 6 生成資料電極驅動信號 1 4 之關係，以表 3 表示。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (59)

表 3

M 信號 1 1 6	門鎖輸出信號 1 2 1	輸出 1 4
0	0	V 0
0	1	V 1
1	0	V 1
1	1	V 0

表 3 係以解碼器 1 2 2、位準位移器 1 2 4 及輸出電路 1 3 5 所生成之資料電極驅動信號 1 4 之輸出真理值表。由輸出門鎖 1 2 0 所輸出的 1 行分之顯示資料，係如上這樣被變換，作為資料電極驅動信號 1 4 供給至液晶面板 1。

以上所述者，關於圖 3 5 之資料驅動器 1 1 7 - 2 也相同。

圖 4 1 係表示圖 3 4 之掃描電極驅動電路 3 之一具體例之方塊圖，對應於圖的要素之要素，給予相同之符號。

在同圖中，掃描驅動器 8 9 - 1、8 9 - 2，係形成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(60)

與圖24之掃描驅動器89-1、89-2相同之構成。但是，在圖24，從顯示時鐘脈衝發生器4(圖1)，顯示時鐘被供給，在圖41中，係從顯示控制器107(圖34)，輸入時鐘111被供給。該被供給之輸入時鐘111，係由FLM信號113、CL1信號114及M信號116所構成。這些FLM信號113、CL1信號114，係分別對應於圖24之掃描開始信號105、線信號28，藉此，圖41所示之掃描驅動器89-1、89-2，係進行與圖34之掃描驅動器89-1、89-2相同之動作，分別生成掃描電極驅動信號15-1、15-2。

圖42係表示圖34之電源電路133之一具體例之構成圖，136~140為緩衝放大器，R4、R5為電阻。

在同圖中，電源電路133，係由在電壓 V_{cc} 之端子與電壓 V_{LCD} 之端子之間串聯連接之分壓電阻R5、R4、R4、R5，及緩衝放大器136~140所構成。電壓 V_{cc} 係被供給至緩衝放大器136，而獲得 V_4 電壓128，電壓 V_{LCD} 被供給至緩衝放大器140，而獲得 V_6 電壓130。又，電阻R5及電阻R4之連接點，電阻R5及電阻R4之連接點各電壓被供給至緩衝放大器137、138、139，獲得 V_0 電壓126， V_5 電壓129， V_1 電壓127。但是， $V_4 > V_0 > V_5 > V_1 > V_6$ 。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(61)

此處，設定電壓 V_{CC} 、 V_{LCD} 及電阻 R_4 、 R_5 ，以使這些 V_4 電壓 128、 V_0 電壓 126、 V_5 電壓 129、 V_1 電壓 127、 V_6 電壓 130 成為一定之值。

其次，當獲得如圖 43 所示之顯示資料時，就此第 3 實施例之液晶面板 1 (圖 34) 上所施加之電壓波形，作一說明。但是，圖 43 係表示假想液晶面板 1 為 8×8 點時之顯示模式之一具體例者，此處，為以「明亮」、「暗」之 2 值顯示。又， $X_0 \sim X_7$ 為資料電極， $Y_0 \sim Y_7$ 為掃描電極。

圖 44 係表示獲得相關之顯示模式之資料電極 $X_0 \sim X_7$ 之電壓波形及掃描電極 $Y_0 \sim Y_7$ 之電壓波形。

在同圖中，FLM 信號 113 之周期稱幀周期。M 信號 116 係每幀頻邏輯反轉，所以與第 1 實施例相同，為幀交流。掃描電極 $Y_0 \sim Y_7$ ，係依序被給予 V_4 電壓或 V_6 電壓，隨此，依據顯示之 ON、OFF，資料電極上被給予 V_0 電壓或 V_1 電壓。

但是，開始，將具有 M 相之行電極掃描電極之液晶面板以時分割驅動法表示時 (240 分之 1 之比)，作為被給予之液晶驅動電壓，將掃描電極電壓 V_s 及資料電極電壓 V_d 以

$$V_s = \sqrt{M} \quad V_d \quad \dots \dots (1)$$

五、發明說明(62)

之關係給予時，顯示ON及顯示OFF之實效值之比為最大者，是一般所知者。

此處，掃描電極電壓 V_s 及資料電極電壓之比稱為偏壓比，特別是資料電極 V_d （即，在此第3實施例之 V_0 電壓126及 V_1 電壓127）稱為偏壓電壓。以臨界值電壓2.5V以240分之1之比驅動液晶時之偏壓電壓約為2V。在此第3實施例，藉由改變相關之偏壓電壓之極性，來進行顯示之ON、OFF，所以資料電極驅動電路109所輸出之 V_0 電壓126及 V_1 電壓127之資料電極電壓之振幅成為 $\pm 2V$ 。

另一方面，顯示控制器107，係輸出8位元顯示資料112及輸入時鐘111，以使得對於高速應答之液晶，幀頻在大約150Hz以上。藉此，掃描電極 $Y_0 \sim Y_7$ 之電壓波形及資料電極 $X_0 \sim X_7$ 之電壓波形成為高幀頻，而可以用高對比驅動高速應答之液晶。

圖45係表示如以上這樣所給予之資料電極 $X_0 \sim X_7$ 及掃描電極 $Y_0 \sim Y_7$ 之實際被施加於顯示像素上之電壓波形。

以選擇期間所給予之資料電極電壓，決定給予液晶之實效值，藉此，進行顯示ON、OFF。而且，幀頻可以設定成150Hz以上，所以可以用高對比顯示高速應答之液晶。

又，一般而言，半導體電路之消費電力，係與動作頻率及負載容量之平方成正比。所以，只要能使動作電壓成

五、發明說明 (63)

為 $1/2$ ，就可以使消費電力成為 $1/4$ 。在習知之電壓平均化法，資料電極驅動信號必需要高耐壓之輸出電路，但是在上述第 3 實施例，只輸出偏壓電壓，所以資料電極驅動電路 109 之資料驅動器 117-1、117-2 之圖 37 所示之輸出電路 135 (例如電晶體) 之耐壓，很小即可。所以，這些資料驅動器 117-1、117-2 之動作電壓，係可配合這些而減低，可大幅度地減低消費電力，同時，即使使幀頻變高等之動作高速化，也不會增加消費電力，而可以實現高對比顯示。例如，習知之電壓平均化法，在 240 分之 1 之比，約需要 30 V 之耐壓者，以大約 5 V 之耐壓即可進行液晶之驅動。所以，可以使動作電壓減低至 $1/6$ ，消費電力減低至 $1/36$ ，即使使幀頻 4 倍高速化，也可以使消費電力合計減低至 $4/36$ ，即 $1/9$ 。

如以上所述，在此第 3 實施例，可以用高對比顯示高速應答之液晶，而且可以大幅度地減低資料電極驅動電路之消費電力。

其次，利用圖 54 ~ 圖 73，說明本發明之液晶顯示裝置及方法之第 4 實施例。

在此第 4 實施例，其基本構成係與上述第 3 實施例相同，但是藉由將液晶面板之掃描電極同時選擇複數個，使液晶驅動電壓減低，減低顯示系統之消費電力。又，此驅動方法 (圖 58)，也適用於內藏有如第 1 實施例 (圖 5) 所示之顯示記憶體之資料電極驅動電路予以驅動之方法

五、發明說明(64)

。又，將掃描電極同時選擇複數個之驅動法，係揭示於日本特開平6-67628號公報，及相對應之美國專利申請案號08/340,485，1994年11月14日申請者，以下利用圖54及圖55，簡單說明其原理。

圖54係表示將單純矩陣型之液晶面板之掃描電極，同時選擇複數個時之掃描信號之波形例。

在同圖中，以圖2所示之液晶面板之構成，掃描電極為240個，將這些作為Y1~Y240時，同時驅動4個掃描電極。所以，液晶面板全體之掃描進行60次，藉此，對所有的掃描電極給予掃描信號。此處，將複數個掃描電極同時選擇之期間稱為分割期間，在最初之第1分割，掃描電極Y1~Y4被選擇驅動，在第2分割期間，掃描電極Y5~Y8被選擇驅動，在第3分割期間，掃描電極Y9~Y12被選擇驅動，以下同樣地，每4個的掃描電極被驅動，在最後的第60個分割期間，掃描電極Y237~Y240被選擇驅動。將圖54之波形以模式表示，則如圖55。

在各分別期間，選擇掃描電極之電壓係+V_{sel}及-V_{sel}，除此之外的期間，為0V。此處，V_{sel}以下式(2)定義。

$$V_{...1} = \sqrt{\frac{M}{m}} \sqrt{\frac{\sqrt{M}}{2(\sqrt{M}-1)}} V_{...} \quad \text{---(2)}$$

五、發明說明 (65)

但是，M 為掃描電極之總根數，m 為同時被選擇之掃描電極之根數， V_{th} 為液晶之臨界電壓。此處，一般係，第 i 行之掃描電極 $F_i(t)$ 為

$$F_i(t) = V_{sel} w_i \quad \dots \dots (3)$$

但是， w_i 係在選擇期間為 +1 或 -1，於非選擇期間為 0 之函數，於選擇期間使用直交函數。作為直交函數之 1 例係沃爾什函數。所以，上述式 3 之值，係將上述式 (2) 之值來上 1、0、-1 之值。對於這樣的掃描電極，第 j 列之資料電極之驅動電壓 $G_j(t)$ 係

$$G_j(t) = \frac{1}{\sqrt{M}} \sum_{i=1}^M I_{ij} F_i(t) \quad \dots \dots (4)$$

此處， I_{ij} 為第 i 行 j 列之顯示像素之顯示資料，而取顯示 ON 時之 -1，顯示 OFF 之時之 +1 之值。上述式 (X)，利用上式 (2)、式 (3) 加以變形，則成下列之式 (5)

$$G_j(t) = \frac{1}{\sqrt{M}} \sqrt{\frac{\sqrt{M}}{2(\sqrt{M}-1)}} (2D-m) V_{th} \quad \dots \dots (5)$$

此處，D 稱為一致數，藉由顯示資料 I_{ij} 之可取之值 +1、-1，及函數 w_i 之可取之值 +1、-1，將在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(66)

第 i 行 ($i = 1 \sim N$) 一致之數上者。在第 i 行 $I_{i,j} = 1$ 、 $w_i = -1$ ，或 $I_{i,j} = 1$ 、 $w_i = +1$ 時稱為一致，除此之外的組合係不一致。像這樣定義的一致數 D 係成為 $0 \sim m$ 的範圍之整數。

依照式(2)及式(3)驅動液晶面板，藉此，第 i 行 j 列之顯示像素所給予之實效值 $V_{rms}(on)$ ， $V_{rms}(off)$ 係，

$$V_{rms(on)} = \sqrt{\frac{\sqrt{M}+1}{\sqrt{M}-1}} V_{th} \quad \dots\dots(6)$$

$$V_{rms(off)} = V_{th} \quad \dots\dots(7)$$

這與習知之電壓平均化驅動法相等。

綜上所述，以複數同時選擇法，掃描電壓被上述式(3)所給予，資料電壓被上述式(5)所給予。

又，從上述式(3)及式(5)，計算驅動液晶之驅動器 LSI 所要求之耐壓時，以 $M = 240$ ， $m = 4$ ， $V_{th} = 2.5V$ 時，掃描驅動器 LSI 必需為 $28.3V_{p-p}$ ，資料驅動器 LSI 必需為 $7.3V_{p-p}$ 。由此可知，相對於習知之電壓平均化驅動法，其掃描驅動器 LSI、資料驅動器 LSI 都必需在 $30V$ 以上之耐壓，在此實施例，掃描驅動器 LSI 係相同，但是資料驅動器 LSI 可將耐壓減低至 $1/4$ ，使液晶顯示裝置之消費

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(67)

電力之降低成為可能。

利用圖56~圖73，說明實現上述這樣的複數同時選擇法之本發明之液晶顯示裝置之第4實施例。

圖56係表示相關之第4實施例之方塊圖，143為掃描函數發生器，146、147為資料驅動器，151、152為掃描驅動器，156為電源電路，對於對應前面圖面之部份或前面圖面所示之信號，給予相同符號。

圖57係表示圖56之顯示資料141，FLM信號20，CL1信號21及CL2信號22之時序關係之圖。

在圖56及圖57中，顯示資料14，係由CL2信號22，CL1信號21及FLM信號20，及未圖示之顯示控制器等，例如在第1實施例所舉之日立所生產之CRT控制器HD6845等所供給。顯示資料141係與CL2信號同步，每一個點被供給，每次1行分之顯示點被送來時，CL1信號21被供給。又，每一定之行數之顯示資料被供給時，FLM信號20被供給。以下，如果沒有特別說明，係以具有320點/行、240行之顯示點之液晶面板為例作一說明。

顯示資料141，係與CL2信號同步，被供給至資料驅動器146、147。資料驅動器146、147，係將被供給之顯示資料141取4行分。

另一方面，掃描函數發生器143，係由CL1信號21及FLM信號20，生成4線時鐘145及掃描函數

五、發明說明 (68)

資料 1 4 4，送出至資料驅動器 1 4 6、1 4 7。在資料驅動器 1 4 6、1 4 7，於該掃描函數資料 1 4 4 及上述取入 4 行分之顯示資料之間，被進行一定之演算處理，作為資料電極驅動信號 1 4 8、1 4 9，供給至液晶面板 1。

又，掃描驅動器 1 5 1、1 5 2，係由 C L 1 信號 2 1，F L M 信號 2 0，4 線時鐘 1 4 5 及掃描函數資料 1 4 4 生成選擇電壓，作為掃描電極驅動信號 1 5 4，1 5 5，供給至液晶面板。電源電路 1 5 6，係從 5 V 電源電壓 1 4 2 生成，由 V_{x0} 、 V_{x1} 、 V_{x2} 、 V_{x3} 、 V_{x4} 、 V_{x5} 的 5 個位準之電壓所構成之資料驅動器電源電壓 1 5 7，及 V_{y0} 、 V_{y1} 、 V_{y2} 的 3 個位準之電壓所構成之掃描驅動器電源電壓 1 5 8，分別供給至資料驅動器 1 4 6、1 4 7，及掃描驅動器 1 5 1、1 5 2。

圖 5 8 係表示圖 5 6 之資料驅動器 1 4 6 之一具體例之方塊圖。其中 1 6 1 係時序調整電路，1 6 3 - 1 ~ 1 6 3 - 4 係 4 線位移暫存器，1 6 7 為演算器，1 6 9 為輸出電路，1 7 0 為位準位移器，1 7 2 為電壓選擇器，對於對應圖 5 6 所示之信號之信號，給予相同之符號。又，資料驅動器 1 4 7 也形成與此相同之構成。在此例，同時選擇 $m = 4$ 之掃描電極。

其次，利用圖 5 9，說明此具體例之動作。但是，圖 5 9 係表示圖 5 8 之各部之信號之時序關係之圖。

五、發明說明(69)

在同圖中，可輸入信號159，係控制資料驅動器之動作146，非動作者；可輸出信號160，係連接於將資料驅動器作複的連接之下一個資料驅動器之可輸入。在圖56，係將這些作為可信號150以圖表示，而這些可輸出信號160及可輸入信號159之動作，也採用於市販之資料驅動器，而且被實用化，因為係與此為相同之動作，所以省略詳細說明。

時序調整電路161，係依據FLM信號20，CL1信號21及CL2信號22，生成位移時鐘162及可輸出信號160，以該位移時鐘162之時序，使4線位移暫存器163依序取入顯示資料141，取入4線分時，則將此作為位移暫存器輸出164而輸出。

4線門鎖165，係將位移暫存器輸出164，以4線時鐘145門鎖，作為門鎖輸出166而輸出。演算器167，係從門鎖輸出166及掃描函數資料144，進行一定之演算，在輸出電路169，係將演算器167之輸出168，以位準位移器170予以位準位移，電壓選擇器172，係配合此位準位移170之輸出171，從資料驅動器電源電壓157之5個位準之電壓中，選擇1個，作為液晶驅動電壓148而輸出。

圖60係表示圖58之演算器167之一具體例之方塊圖，174~177為排他的邏輯和電路，178為解碼器。

又，此處所示之演算器，係驅動1個資料電極者，例

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(70)

如在此實施例之資料驅動器 1 4 6 係驅動 1 6 0 個資料電極時，必需要演算器 1 6 0 個。以下，該演算器 1 6 0 係作為 1 6 0 個之中的第 j 列（第 j 點）。

在圖 6 0 中，排他的邏輯和電路 1 7 4 ~ 1 7 7，係在第 j 列之 4 線顯示資料 1 6 6 及圖 5 8 之 4 線閘鎖 1 6 5 來的掃描函數資料 1 4 4 之間，進行排他的邏輯和演算者。4 線閘鎖 1 6 5，係藉由分別將 1 線顯示資料 1 4 1，存儲於閘鎖 1 6 5 - 1、1 6 5 - 2、1 6 5 - 3、1 6 5 - 4，藉此，存儲合計 4 線之顯示資料 1 4 1。

第 j 列之 4 線顯示資料 1 6 6，係各為閘鎖 1 6 5 - 1 之第 j 列，閘鎖 1 6 5 - 2 之第 j 列，閘鎖 1 6 5 - 3 之第 j 列，閘鎖 1 6 5 - 4 之第 j 列之顯示資料，於掃描函數資料 1 4 4 之間，進行排他的邏輯和演算，作為資料 E_0 、 E_1 、 E_2 、 E_3 ，被供給至解碼器 1 7 8。

在解碼器 1 7 8，從被供給之資料 E_0 、 E_1 、 E_2 、 E_3 ，生成選擇信號 1 6 8 之 S_0 、 S_1 、 S_2 、 S_3 、 S_4 ，但是資料 E_0 、 E_1 、 E_2 、 E_3 及選擇信號 S_0 、 S_1 、 S_2 、 S_3 、 S_4 之關係係如表 4 所示。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(71)

表 4

E0	E1	E2	E3	S0	S1	S2	S3	S4
0	0	0	0	1	0	0	0	0
0	0	0	1	0	1	0	0	0
0	0	1	0	0	1	0	0	0
0	0	1	1	0	0	1	0	0
0	1	0	0	0	1	0	0	0
0	1	0	1	0	0	1	0	0
0	1	1	0	0	0	1	0	0
0	1	1	1	0	0	0	1	0
1	0	0	0	0	1	0	0	0
1	0	0	1	0	0	1	0	0

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (72)

1	0	1	0	0	0	1	0	0
1	0	1	1	0	0	0	1	0
1	1	0	0	0	0	1	0	0
1	1	0	1	0	0	0	1	0
1	1	1	0	0	0	0	1	0
1	1	1	1	0	0	0	0	1

如表 4 所示，在解碼器 1 7 8，輸入資料 E 0、E 1、E 2、E 3 之中，成為邏輯 1 之個數為 0 個時，S 0 為邏輯 1，為 1 個時，S 1 為邏輯 1，為 2 個時，S 2 為邏輯 1，為 3 個時，S 3 為邏輯 1，為 4 個時，S 4 為邏輯 1，以這種情況生成選擇信號 1 6 8。像這樣生成之選擇信號 1 6 8，係被供給至圖 5 8 之輸出電路 1 6 9。

將以上之演算器 1 6 7 之演算處理，以式子表示時，如式 (8) 所示。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (73)

$$S_j = \frac{\sum_{i=1}^n I_{ij} W_i + m}{2} \quad \text{--- (8)}$$

此處，如上述這樣， m 為同時被選擇之掃描電極之根數； w_j 係於選擇期間為 $+1$ 或 -1 ，於非選擇期間成為 0 之函數； I_{ij} 為第 i 行 j 列之顯示像素之顯示資料。

圖 6 1 係表示圖 5 8 之輸出電路 1 6 9 之位準位移器 1 7 0 及電壓選擇器 1 7 2 之一具體例之電路圖；1 7 2 - 1 ~ 1 7 2 - 5 係輸出電晶體，對於對應圖 5 8 的部份給予相同的符號。

此具體例，係連接於圖 6 0 所示之演算器之輸出者，所以使用與演算器相同之個數。

在圖 6 1 中，圖 6 0 之解碼器 1 7 8 所生成之選擇信號 1 6 8，係被供給至輸出電路 1 6 9 之位準位移器 1 7 0。位準位移器 1 7 0，係將此選擇信號 1 6 8 變換成，配合其邏輯對電壓選擇器 1 7 2 之輸出電晶體 1 7 2 - 1 ~ 1 7 2 - 5 作 ON、OFF 之控制所需要之電壓。輸出電晶體 1 7 2 - 1 ~ 1 7 2 - 5，係配合位準位移器 1 7 0 之輸出，從資料驅動器電源電壓 1 5 7 之 5 個位準之電壓 V_{y0} 、 V_{y1} 、 V_{y2} 、 V_{y3} 、 V_{y4} 中選擇 1 個，成為液晶驅動電壓 1 4 8 輸出。

圖 6 2 係表示圖 5 6 之掃描驅動器 1 5 1、1 5 2 之一具體例之方塊圖，1 7 9 為時鐘控制電路，1 8 1 為門鎖，1 8 2 為解碼器，1 8 4 為輸出電路，1 8 5 為位準

(請先閱讀背面之注意事項再填寫本頁)

訂

4

五、發明說明(74)

位移器，187為電壓選擇器。

又，圖63係表示圖62之各部之信號之時序關係之圖，對於對應圖62之信號之信號，給予相同的符號。

在圖62及圖63中，時鐘控制電路179，係由FLM信號20及4線時鐘145，生成時鐘控制輸出180及可信號189再予以輸出。另一方面，掃描函數資料144，係與CL1信號同步而被供給，被門鎖181所門鎖。被門鎖之掃描函數資料144及時鐘控制電路179之輸出180，係被供給至解碼器182，作為解碼器輸出183而被供給至輸出電路184。

輸出電路184係由位準位移器185及電壓選擇器187所構成，電壓選擇器187，係從位準位移器輸出186，及從掃描驅動器電源電壓158之3個位準之電壓中選擇1個，作為液晶驅動電壓154輸出。

圖64係表示圖62之解碼器182之一具體例之方塊圖：182-1、182-2、... 182-30，係解碼器，對應於圖62之部給予相同之符號。

在同圖中，解碼器182係由30個的解碼器182-1、182-2、182-3... 182-30所構成，其中的1個係藉由時鐘控制電路(圖62)之輸出180而被選擇。從被選擇之解碼器，輸出配合被門鎖181所門鎖之掃描函數資料144之符碼資料183，從剩下的未被選擇之解碼器，輸出非選擇之解碼資料183。

五、發明說明 (75)

解碼器 1 8 2 - 1 ~ 1 8 2 - 3 0，係如圖 6 5 所示而構成者，時鐘控制電路 1 7 9 之輸出 1 8 0 為邏輯 0 時，係選擇狀態，邏輯 1 時係非選擇狀態。而非選擇狀態時，輸出配合掃描函數資料 1 4 4 之邏輯之解碼器輸出 1 8 3，供給至圖 6 2 之輸出電路 1 8 4。

圖 6 6 係表示圖 6 2 之輸出電路 1 8 4 之一具體例之電路圖，對於對應於圖 6 2 的部份給予相同之符號。

在同圖中，解碼器輸出 1 8 3，係被位準位移器 1 8 5 進行位準位移，以其輸出 1 8 6 使電壓選擇器 1 8 7 作動。在選擇狀態時，電壓選擇器 1 8 7，係配合解碼器輸出 1 8 3 動作，掃描函數資料 1 4 4，係分別在邏輯 1 的時候選擇電壓 V_{y0} (圖 6 3 所示之 $+V_{sel}$)，在 0 的時候選擇電壓 V_{y2} (圖 6 3 所示之 $-V_{sel}$)，作為液晶驅動電壓 1 5 4 而被輸出。又，在非選擇狀態時，不管掃描函數資料 1 4 4 之邏輯， V_{y1} 作為液晶驅動電壓而輸出。

以上，係就圖 5 6 之掃描驅動器 1 5 1 作了說明，但是關於另一方之掃描驅動器 1 5 2 也是相同地。

圖 6 7 係表示圖 5 6 之電源電路 1 5 6 之一具體例之方塊圖，1 9 0 為 DC - DC 轉換器，1 9 1 ~ 1 9 6 為演算放大器， R_1 、 R_2 、 R_3 、 R_4 、 R_5 為電阻。

在同圖中，DC - DC 轉換器 1 9 0，係從 5 V 電源電壓 1 4 2 生成 $+1.5V$ 、 $-1.5V$ 、 $+5V$ 、 $-5V$ 的 4 個位準之電壓。 $+1.5V$ 之電壓，係被電阻 R_1 、 R_2

五、發明說明(76)

所分壓，被演算放大器 191 作電流放大，而形成電壓 V_{y0} 。同樣地， $-15V$ 之電壓，被電阻 R_1 、 R_2 所分壓，被演算放大器 192 作電流放大，形成電壓 V_{y2} 。又，電壓 V_{y1} 係作為大地 ($0V$)。如此，可獲得由這些電壓 V_{y0} 、 V_{y1} 、 V_{y2} 所構成之掃描驅動器電源電壓 158。

另一方面， $+5V$ 之電壓被電阻 R_3 、 R_4 所分壓，被演算放大器 193、194，作電流放大，而形成電壓 V_{x0} 、 V_{x1} 。同樣地， $-5V$ 之電壓被電阻 R_3 、 R_4 、 R_5 分壓，被演算放大器 195、196 作電流放大，形成電壓 V_{x3} 、 V_{x4} 。又，電壓 V_{x2} 係為大地 ($0V$)。如此，可獲得由電壓 V_{x0} 、 V_{x1} 、 V_{x2} 、 V_{x3} 、 V_{x4} 所構成之資料驅動器電源電壓 157。

掃描驅動器電源電壓 158 之上述電壓，係從上述式 (3)，即對上述式 (2) 乘以 w_j 之 $+1$ 、 0 、 -1 ，以 $N=240$ 、 $m=4$ 、 $V_{th}=2.5V$ ，則可得

$$V_{y0} = +14.2V, V_{y1} = 0V, V_{y2} = -14.2V$$

又，資料驅動器電源電壓 157 之上述電壓，分為作為 V_{xk} (k 為 $0 \sim m$ 的範圍之整數)，則從上述式 (5)，可以表示成式 (9)

五、發明說明 (77)

$$V_{xk} = \frac{1}{\sqrt{M}} \sqrt{\frac{\sqrt{M} M}{2(\sqrt{M}-1)}} (2k-m)V_{1k} \quad \text{--- (9)}$$

所以，

$$V_{x0} = +3.66V, \quad V_{x1} = +1.83V, \quad V_{x2} = 0V,$$

$$V_{x3} = -1.83V, \quad V_{x4} = -3.66V$$

而電阻 $R_1 \sim R_5$ ，只要設定上述之分壓比，以使這些電壓被設定即可。

圖 6 8 係表示圖 5 6 之掃描函數發生器 1 4 3 之一具體例之方塊圖，1 9 7 為計數器，1 9 9 為掃描函數 ROM。又，圖 6 9 係表示該具體例之動作之時序圖。

在圖 6 8 中，計數器 1 9 7 係從 F L M 信號 2 0 及 C L F 1 信號 2 1，生成掃描函數發生 ROM 1 9 9 之讀出地址信號 1 9 8 及 4 線時鐘 1 4 5。藉由地址信號 1 9 8，掃描函數發生 ROM 上所存儲之資料，係作為掃描函數資料 1 4 4 而被讀出。

以圖 6 9 說明以上之動作，4 線時鐘 1 4 5 係與 F L M 信號同步，每次 C L 1 信號 2 1 被供給 4 個時，1 個個產生。又，藉由 C L 2 信號 2 1 之計數器，產生地址信號 1 9 8，所以，存儲於掃描函數 ROM 1 9 9 之資料，在每次 C L 1 信號 2 1 被供給時，地址被更新而被讀出，成為掃描函數資料 1 4 4。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

覽

五、發明說明 (78)

此處，以圖 7 0 表示為儲於掃描函數 R O M 1 9 9 之資料之一例。圖 7 0 係掃描函數 R O M 1 9 9 之地址圖，係將圖 5 4 所示之掃描信號波形，從掃描驅動器 1 5 1 輸出之資料。

在圖 7 0 中，在 C L 1 信號 2 1 之計數器 1 9 7 之計數，係與讀出掃描函數 R O M 1 9 9 之地址 1 9 8 等為價者，最初地址 1 9 8 信號為 0 時，掃描函數資料 1 4 4 之 W_0 、 W_1 、 W_2 、 W_3 係全部為 1，其次當地址信號 1 9 8 為 1 時，掃描函數資料 1 4 4 係成為 $W_0 = 1$ 、 $W_1 = 1$ 、 $W_2 = 0$ 、 $W_3 = 0$ ，當地址信號 1 9 8 為 2 時，掃描函數資料 1 4 4 成為 $W_0 = 1$ 、 $W_1 = 0$ 、 $W_2 = 0$ 、 $W_3 = 1$ ，以下，依據圖 7 0 之掃描函數資料 1 4 4 被輸出。

圖 5 4 之第 1 分割期間之掃描電壓，係相當於地址信號 1 9 8 為 0 ~ 3 時之資料，第 2 分割期間之掃描電壓，係相當於地址信號 1 9 8 為 3 ~ 7 時之資料，以下同樣地，第 6 0 分割期間之掃描電壓，係相當於地址信號 1 9 8 為 2 3 6 ~ 2 3 9 時之資料。結果，掃描信號波形係成為圖 5 4 所示者。

又，在偶數幀及奇數幀，係存儲於掃描函數 R O M 1 9 9 之資料之邏輯成為反轉之關係。藉此，在每幀施加於液晶單元之電壓，使其實效值為一定之情況下，可以使極性交互反轉，而可以防止液晶材料之劣化。

又，存儲於掃描函數 R O M 1 9 9 之資料，不僅只是

五、發明說明(79)

圖 7 0 所示者，其他的例子也可以，將其表示於圖 7 1 ~ 圖 7 3。

圖 5 4 所示之掃描信號波形，係在每分割期間，給予產生相同的變化之選擇脈衝，即正交函數，但是，也可以在每分割期間給予不同組合之選擇脈衝，對於圖 7 1 所示之掃描函數 ROM 1 9 9 之地址圖之例，可獲得圖 7 4 所示之掃描信號波形。

又，也可以於每分割期間，使選擇脈衝之極性反轉。圖 7 2 係表示這種情況之掃描函數 ROM 1 9 9 之地址圖之一例者，相對於此之掃描信號波形，係成為如圖 7 5 所示者。

更者，也可以於每幀改變正交函數之組分。圖 7 3 係表示這種情況時之掃描函數 ROM 1 9 9 之地址圖之一例者，圖 7 6 係表示那時之掃描電極 Y 1 ~ Y 4 之掃描信號波形。

如圖 7 4 ~ 圖 7 6 所示，選擇脈種共有 4 種，分別為於分割期間之中電壓完全不變化者，及電壓的極性變化 1 次者，及電壓之極性變化 2 次者，及電壓之極性變化 3 次者。液晶係藉由被施加之電壓之頻率，產生光學的特性之變化。所以，選擇脈衝之電壓極性之變化次數之不同，係成為頻率之不同，因此，成為顯示蘭姆而出現，而如圖 7 4 ~ 圖 7 6 所示，於每分割期間改變掃描函數之組合，或使極性反轉，或於每幀改變掃描函數之組合，如此可對顯示蘭姆之減低大有帮助益。

五、發明說明 (80)

如以上所示，在此第 4 實施例，複數同時選擇法，可以利用以上所說明之資料驅動器、或掃描驅動器、電源電路、掃描函數發生器來實施，特別是，由於可減低資料驅動器之耐壓，所以可以減低顯示系統之消費電力。

又，對於資料驅動器之顯示資料或各種時鐘等之輸入介面，由於可成為與習知者相同，所以與習知之液晶面板之介面保有相容性，因此具有使用方便之效果。

又，在單純矩陣型之液晶顯示裝置，給予資料電極之電壓的變化成為串音，而於掃描電極上出現。特別是，於非選擇期，本來應為 0 V 一定之處，針狀之雜訊成為串音而出現，所以施加於液晶上之電壓實效值產生變動，成為顯示蘭姆。該針狀之雜訊，由於掃描驅動器之輸出阻抗及與其連接之電源電路之阻抗，而使雜訊不被吸收而發生者。於是，如本實施例，藉由使非選期間之電壓成為 0 V（大地），而可以使電源電路之阻抗變的足夠小，所以可以吸收針狀之雜訊，而具有減低串音之顯示蘭姆之效果。又，使非選擇期間發生電壓之演算放大器等之零件，成為不需要，具有使電源電路小型化或低價格化之效果。

又，在該第 4 實施例之電源電路，也可應用於前面的第 1、第 2 實施例。

更者，該第 4 實施例，也可應用於內藏有第 1 實施例所示之顯示記憶體之資料電極驅動電路。像這樣的應用，係在圖 5 8 所示之資料驅動器全體之構成之中，將從 4 一線位移暫存器 1 6 3 到電壓選擇器 1 7 2 為止之構成，與

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(81)

從圖5所示之資料驅動器之構成之讀出門鎖44到輸出電路47為止之構成交換，藉此可實現。這種情況，4—線位移暫存器163，係將表意記憶體來的資料，1線1線地共計4次進行門鎖動作，將4線分之資料予以門鎖。關於其應用例之詳細動作，從第1至第4實施例之說明可容易瞭解。

更者，由於電源電路，係具備有DC—DC轉換器，所以可以僅以+5V之單一電源，供給顯示裝置之電力，而具有提高液晶面板之使用方便之效果。又，並不只限於+5V之單一電源，配合使用液晶面板之系統，也可以作為3.3V，3V等之單一電源。

更者，在此實施例，係獨立設置掃描函數發生器，但是也可以內藏於資料驅動器或掃描驅動器。藉此，可削減零件件數，使液晶顯示裝置之小型化、低價格化成為可能。

更者，在此實施例，已說明了4線同時選擇驅動法，但是並不只限於此，配合資料驅動器或掃描驅動器之價格降低、量產可能性等，而可以增減同時選擇之線數。

更者，在此實施例，藉由使幀頻(FLM信號20之周期之倒數)成為60~70Hz前後，使習知之中速、低速應答之液晶面板，可以低消費電力驅動，而且對於第1、第2實施例這樣的高速應答之液晶面板，藉由使幀頻提高，而具有可以實現顯示高對比之液晶顯示裝置之效果。

五、發明說明(82)

更者，在此實施例，已就應用於黑白之液晶面板之情況作了說明，但是也可以應用於彩色液晶面板，具有可實現低消費電力之彩色液晶面板之效果。

更者，藉由將掃描函數之組合或極性反轉，以每個分割期間或幀來進行，可以實現沒有顯示蘭姆之液晶顯示裝置。

〔發明之效果〕

如以上之說明，依據本發明，使驅動液晶之水平頻率成為 n 倍，將水平期間分割成 n 個期間，使各期間對應 n 位元之顯示資料之各位元，在各期間所對應之位元之邏輯值或顯示資料之順位所對應之振幅之電壓予以分配，成為顯示面板之資料電極驅動信號，藉此可顯示 2^n 灰階，而且，可提高掃描頻率，所以可以實現以高對比驅動高速應答液晶材料之液晶顯示裝置。

又，依據本發明，由於資料驅動器上內藏有顯示記憶體，所以配合輸出至液晶面板之資料電壓之頻率，而不需要配合從顯示控制器所傳送來的顯示資料之頻率，可以與顯示分開，獨立地使顯示控制器動作。所以，在顯示內容沒有變化時，可以低減或停止顯示控制器之動作頻率，可以減低消費電力。

更者，依據本發明，於每 1 水平期間，液晶施加電壓會變化，藉此可以減低液晶之臨界值之頻率特性之顯示蘭姆。

五、發明說明(83)

更者，依據本發明，可以用高對比顯示高速應答之液晶，而且可以大幅地減低資料電極驅動電路之消費電力。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1. 一種液晶顯示裝置之資料電極驅動電路，係屬於具有 N 個（ N 為零以外之正的整數）之資料電極，及 M 個（ M 為零以外之正整數）掃描電極，及於該資料電極及該掃描電極之交點處配置像素之液晶顯示面板者；其特徵為：
具有，

一記憶體裝置，該記憶體裝置係可讀出或寫入顯示資料；及

一寫入控制手段，該寫入控制手段係控制將上述顯示資訊寫入上述記憶體裝置之記憶體領域之動作；及

一讀出控制手段，該讀出控制手段係從上述記憶體領域同時讀出對應上述 N 個資料電極之顯示資訊之讀出控制手段，而使將 1 畫面之顯示資訊寫入上述記憶體領域之周期與從上述記憶體領域讀出之周期不同者；及

一輸出電路，該輸出電路係將上述記憶裝置所讀出之顯示資訊變換成所對應之顯示電壓，再將該顯示電壓給予上述資料電極。

2. 如申請專利範圍第 1 項之資料電極驅動電路，其中上述記憶體領域，係對應於上述像素之領域被設定，在一個掃描電極上所配置之所有的像素被驅動的期間之處之 1 水平期間內，每 n （ $n \leq N$ ）個像素，上述顯示資訊持續地被輸入上述驅動電路，上述寫入控制手段係具有寫入門鎖電路，該寫入門鎖電路，係將被輸入之顯示資訊，每 n （ $n \leq N$ ）像素予以門鎖，在取入 N 個像素之顯示資訊後，將取入之該顯示資訊寫入上述記憶體領域。

六、申請專利範圍

3. 如申請專利範圍第2項之資料電極驅動電路，其中上述寫入資訊係配合輸入水平時鐘信號，而輸入上述資料電極驅動電路，N個像素之顯示資訊係配合讀出水平時鐘信號而從上述記憶體領域讀出，具有使上述輸入水平時鐘信號與讀出水平時鐘信號相異之周期。

4. 如申請專利範圍第3項之資料電極驅動電路，其中更具有記憶體存取控制電路，上述記憶體存取控制電路，係在對上述記憶體裝置之顯示資訊之寫入動作與讀出動作競爭時，使讀出動作優先，使寫入動作在讀出動作後進行，以這種情況來控制上述寫入及讀出控制手段，而從上述記憶體領域所讀出之上述顯示資訊之周期為一定。

5. 如申請專利範圍第1、2、3或第4項之資料電極驅動電路，其中上述讀出控制手段係具有讀出門鎖電路，該讀出門鎖電路，係將從上述記憶體領域所讀出之顯示資訊取入，而上述資料電極驅動電路更具有，將上述讀出門鎖電路所門鎖之顯示資訊，變換成依據一定周期之交流信號選擇上述顯示電壓之選擇信號之解碼電路，而上述輸出電路，係從複數之不同電壓，依據上述電壓選擇信號，選擇一個電壓，而使其作為上述顯示電壓。

6. 如申請專利範圍第1、2、3或第4項之資料電極驅動電路，其中上述讀出控制手段，係具有m（m為2以上之正整數）個的讀出門鎖電路，該讀出門鎖電路係將從上述記憶體領域所讀出之顯示資訊取入，上述資料電極驅動電路更具有，將上述讀出門鎖電路所門鎖之顯示資訊

六、申請專利範圍

變換成依據演算資料選擇上述顯示電壓之選擇信號之演算器，而上述輸出電路，係具有，從複數之不同的電壓中，依據上述電壓選擇信號選擇 1 個電壓，將其作為上述顯示電壓，而予以輸出之電壓選擇器。

7. 一種液晶顯示裝置，係屬於具有 N 個（N 為零以外之正整數）資料電極，及 M 個（M 為零以外之正整數）掃描電極，及在該資料電極與該掃描電極之交點處配置像素之矩陣型液晶顯示面板，及申請專利範圍第 1、2、3、4、5 或第 6 項之資料電極驅動電路者；其特徵為：具備有，

一掃描電極驅動電路，係選擇性地將掃描選擇電壓及非掃描選擇電壓輸出至上述掃描電極；及

一電壓生成電路，係發生複數之不同之顯示電壓，及上述掃描選擇電壓及上述非掃描選擇電壓。

8. 一種矩陣型液晶顯示裝置，係具有 N 個（N 為零以外之正整數）之資料電極，及 M 個（M 為零以外之正整數）之掃描電極及配置於該資料電極與該掃描電極之交點的像素之液晶顯示面板，及申請專利範圍第 5 項所記載之資料電極驅動電路者；其特徵為：

具有將掃描選擇電壓及非掃描選擇電壓選擇性地供給上述掃描電極之掃描電極驅動電路，上述掃描電極驅動電路，係配合上述交流信號，將彼此不同之第 1 與第 2 之掃描選擇電壓之中任何一個輸出；

更者，上述矩陣型液晶顯示裝置，係具有發生複數之

六、申請專利範圍

不同的顯示電壓，及上述掃描選擇電壓及上述非掃描選擇電壓之電壓生成電路。

9. 如申請專利範圍第8項之矩陣型液晶顯示裝置，其中上述掃描電極驅動電路，係對於上述資料電極驅動電路所輸出之上述顯示電壓被供給之像素所對應之掃描電極，依照上述交流信號，輸出上述第1及第2之掃描選擇電壓中之任何一個，對於其他的掃描電極，輸出上述非掃描選擇電壓。

10. 如申請專利範圍第8項或第9項之矩陣型液晶顯示裝置，其中上述電壓生成電路，係具有直流電壓發生電路及分壓電路，該直流發生電路，係分別發生作為一定之上述非掃描選擇電壓之基準電壓，及對於該基準電壓為正或負之電壓，上述分壓電路係將上述正及負之電壓予以分壓，生成上述第1及第2之掃描選擇電壓。

11. 如申請專利範圍第10項之矩陣型液晶顯示裝置，其中上述直流電壓發生電路，係將供給至上述液晶顯示裝置之一定之直流電壓予以變換，生成上述正及負之電壓。

12. 一種矩陣型液晶顯示裝置，係具有N個（N為零之外之正整數）之資料電極，及M個（M為零以外之正整數）之掃描電極，及於該資料電極與該掃描電極之交點處配置像素之液晶顯示面板，及申請專利範圍第6項所記載之資料電極驅動電路；其特徵為：

具有將掃描選擇電壓及非掃描選擇電壓選擇性地供給

六、申請專利範圍

至上述掃描電極之掃描電極驅動電路，該掃描電極驅動電路，係依據上述非掃描選擇電壓及一定之演算資料，生成相異之第1及第2掃描選擇電壓，而輸出其中任何一個；

更者，上述矩陣型液晶顯示裝置，係具有發生複數之不同顯示電壓，及上述掃描選擇電壓及上述非掃描選擇電壓之電壓生成電路。

13. 如申請專利範圍第12項之矩陣型液晶顯示裝置，其中上述掃描電極驅動電路，係對於取入上述m個的讀出門鎖電路之顯示資訊被給予之像素所對應之掃描電極，依據上述演算資料，輸出上述第1及第2之掃描選擇電壓，對於其他的掃描電極，輸出上述非掃描選擇電壓。

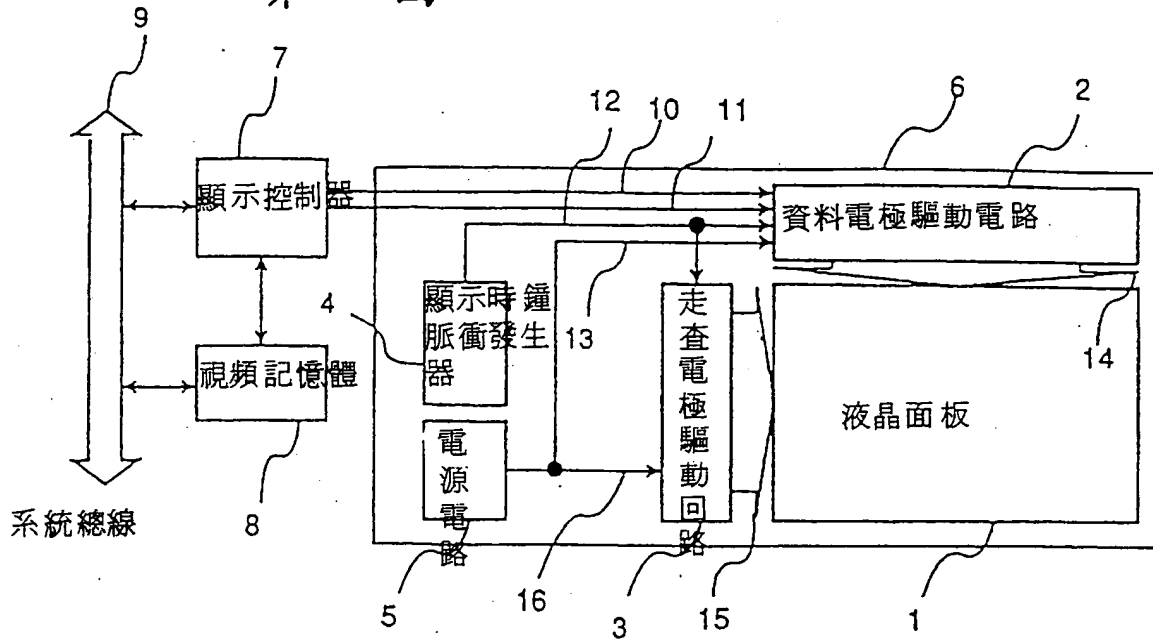
14. 一種資訊處理裝置，係具有申請專利範圍第7項所記載之矩陣型液晶顯示裝置，具有別的畫像顯示裝置，輸入對上述矩陣型液晶顯示裝置之1畫面分之顯示資訊之幀頻率，係上述別的畫像顯示裝置之幀頻率。

270993

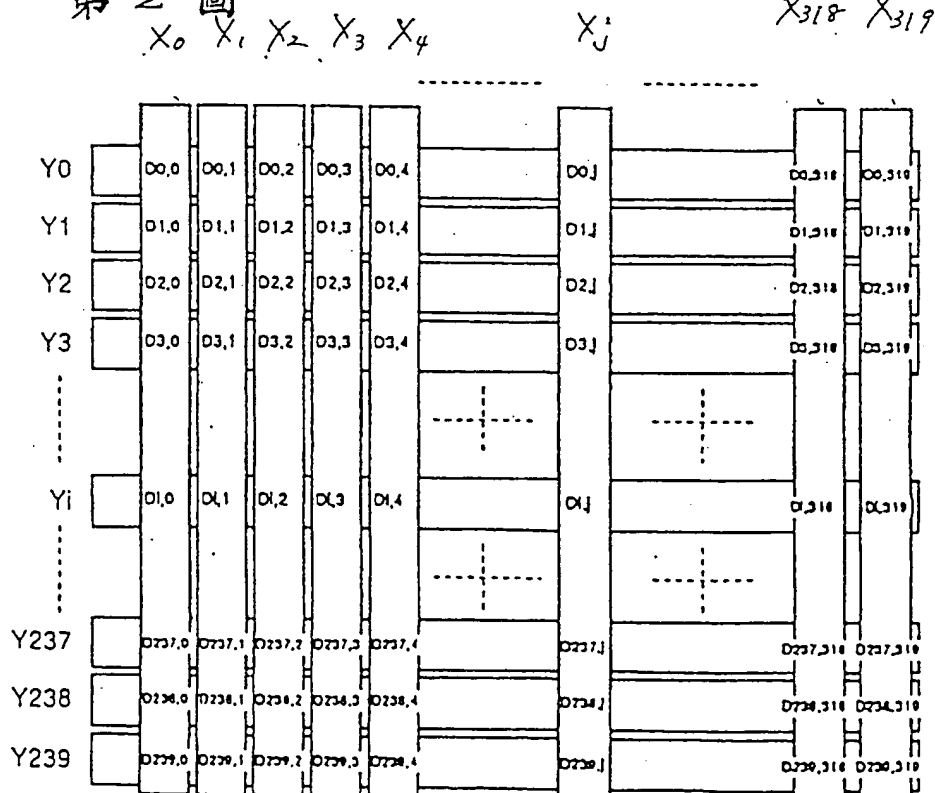
84101458

722323

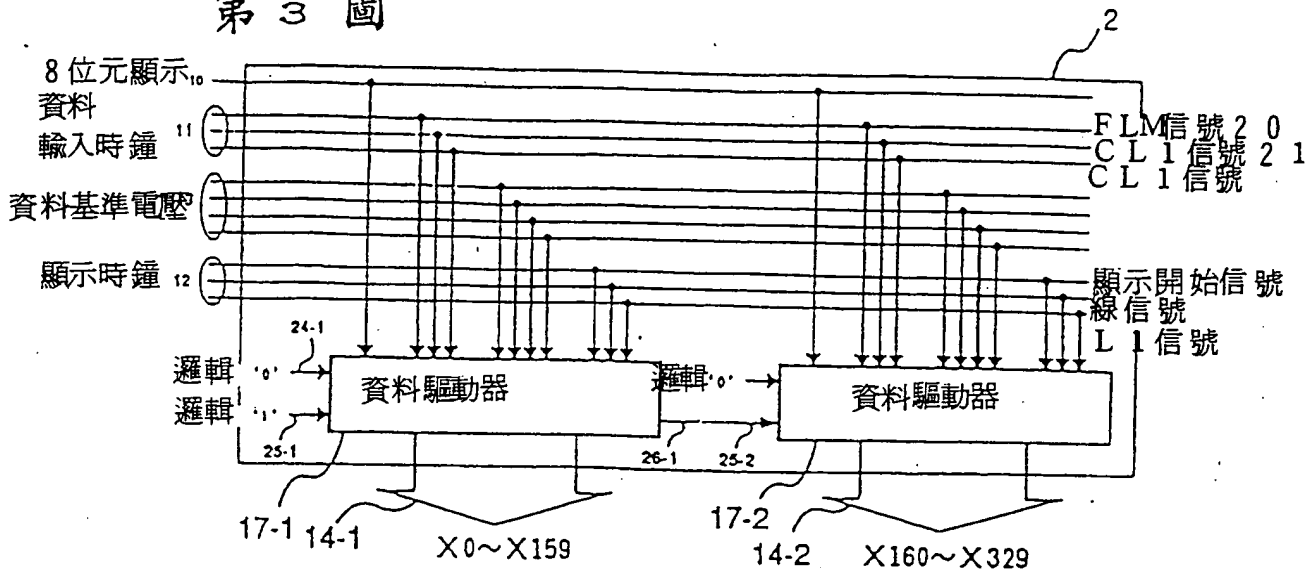
第 1 圖



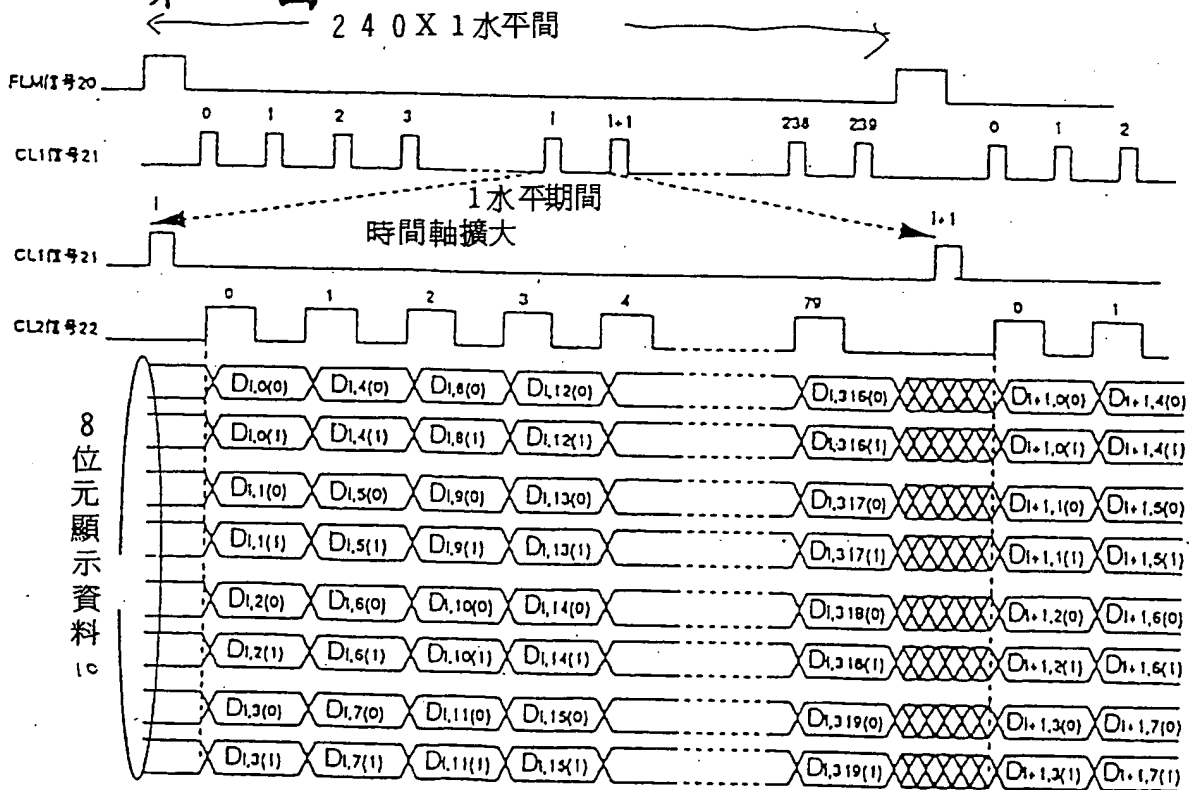
第 2 圖



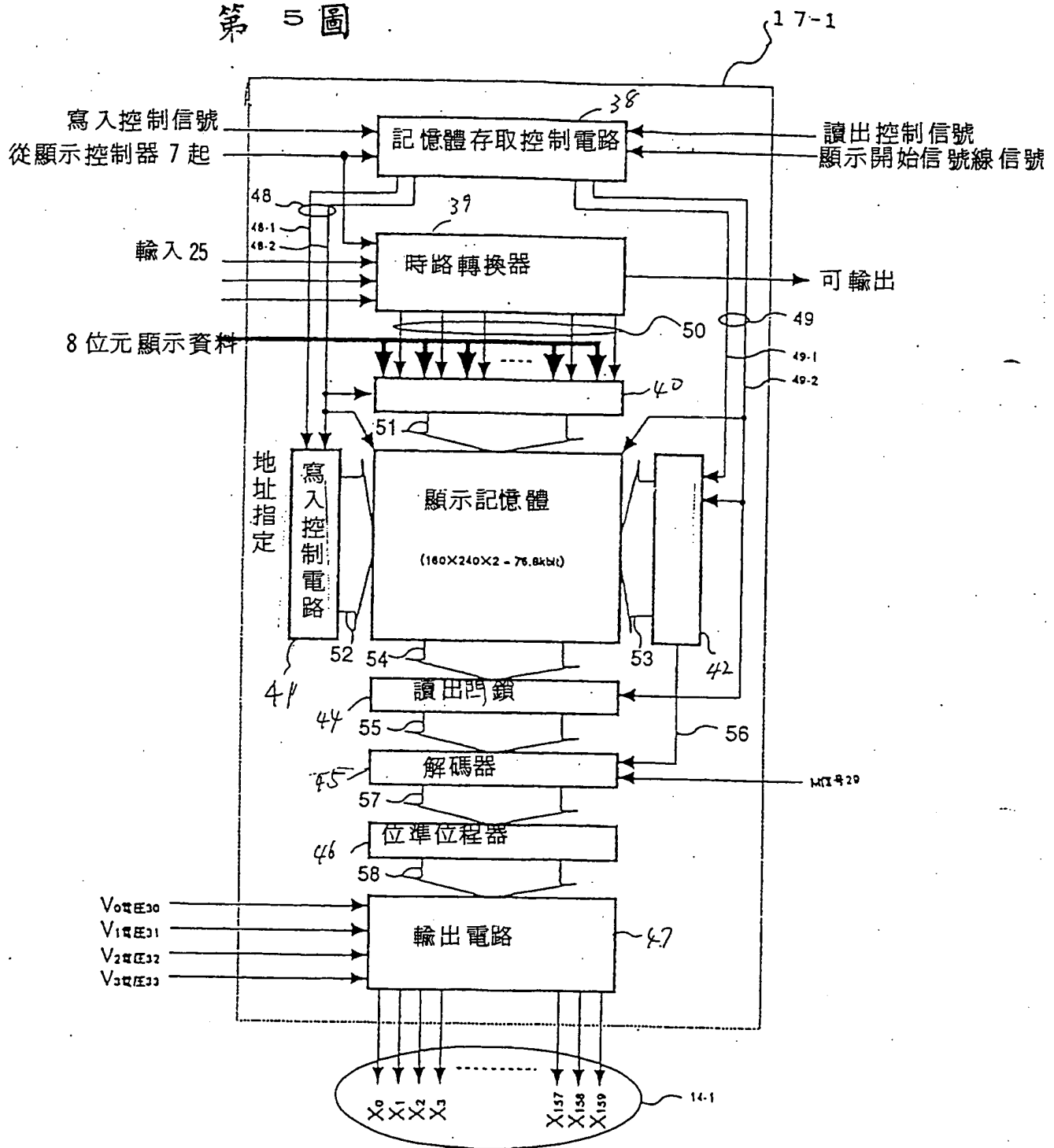
第 3 圖



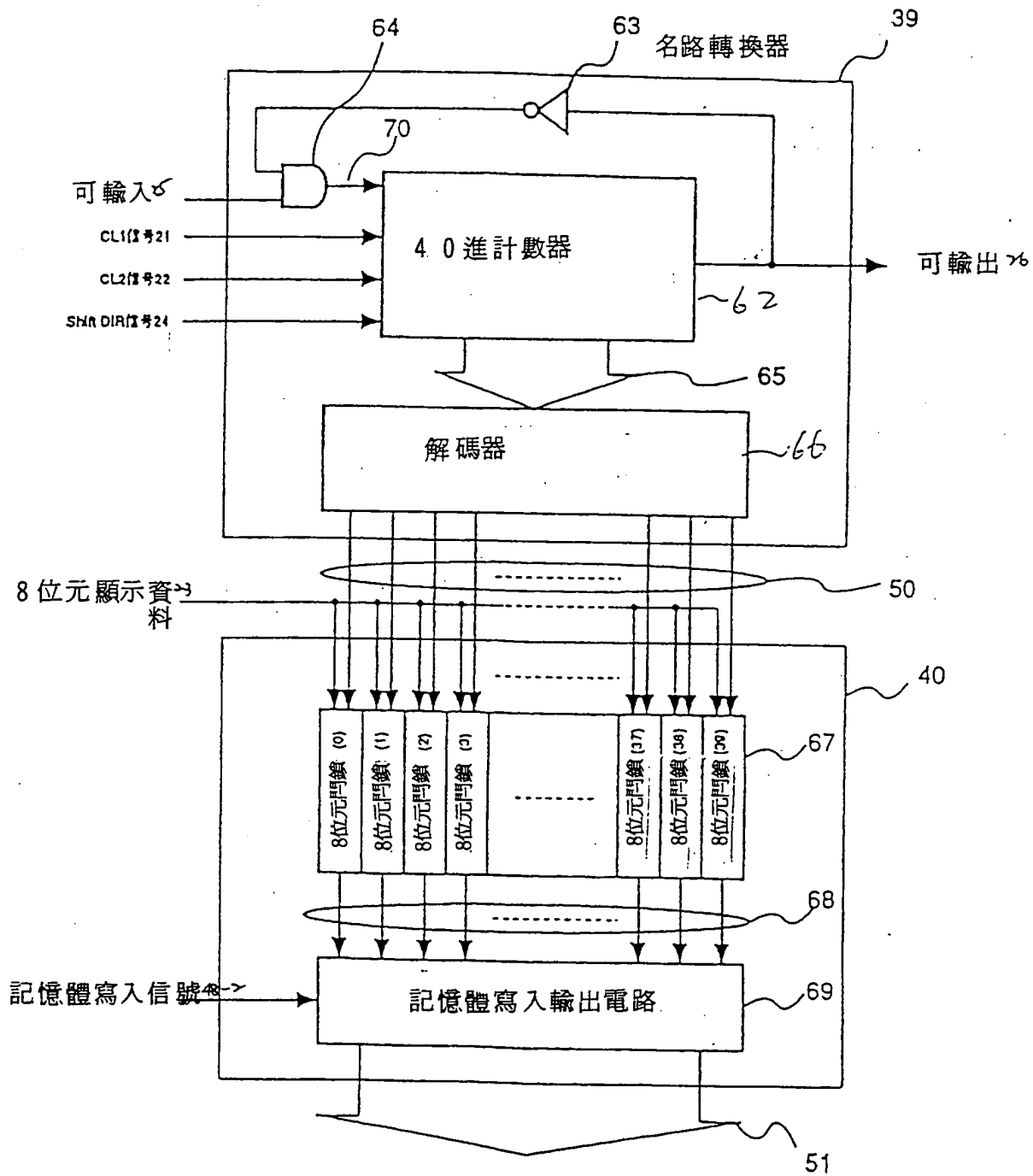
第 4 圖



第 5 圖

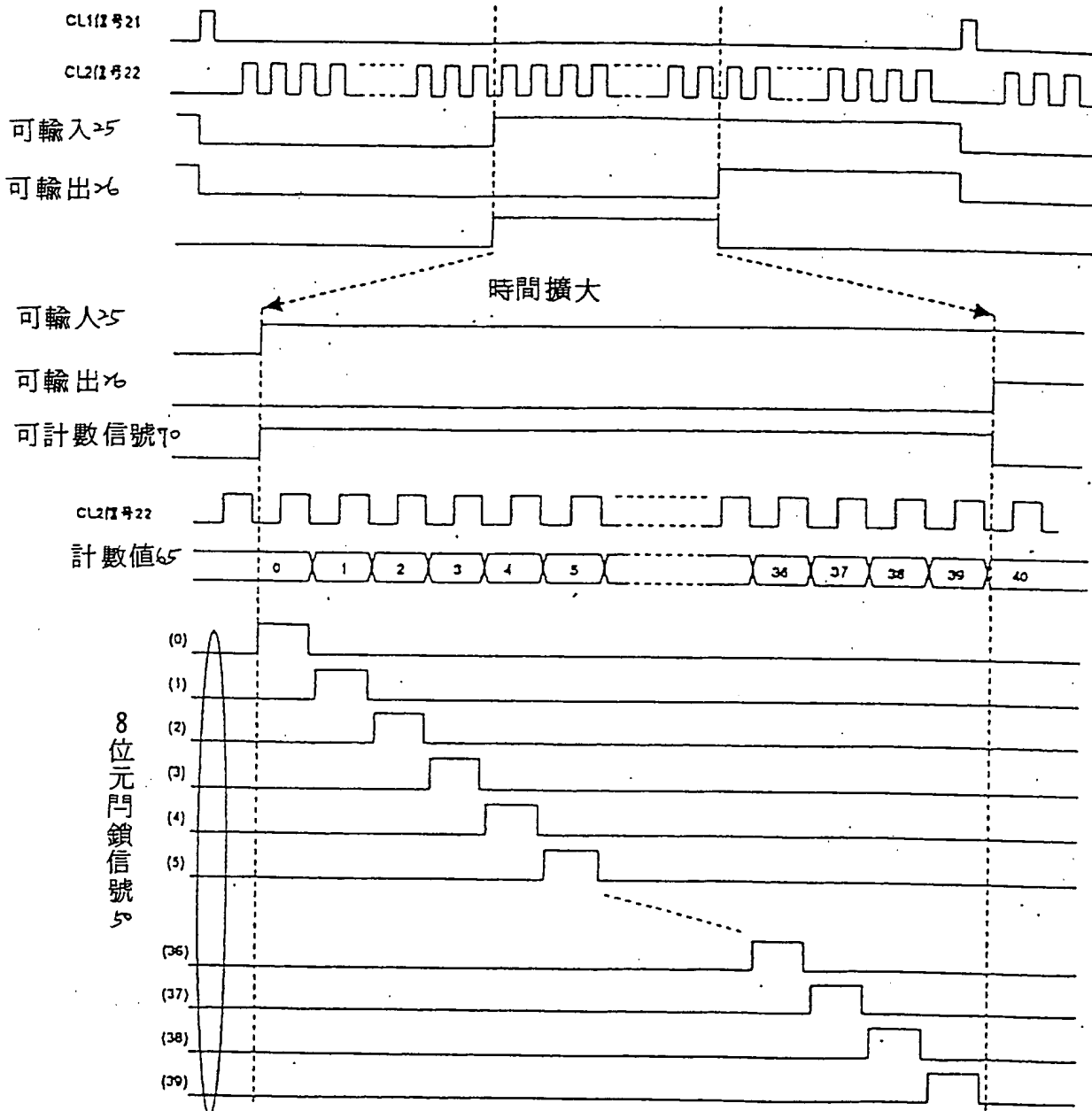


第 6 圖



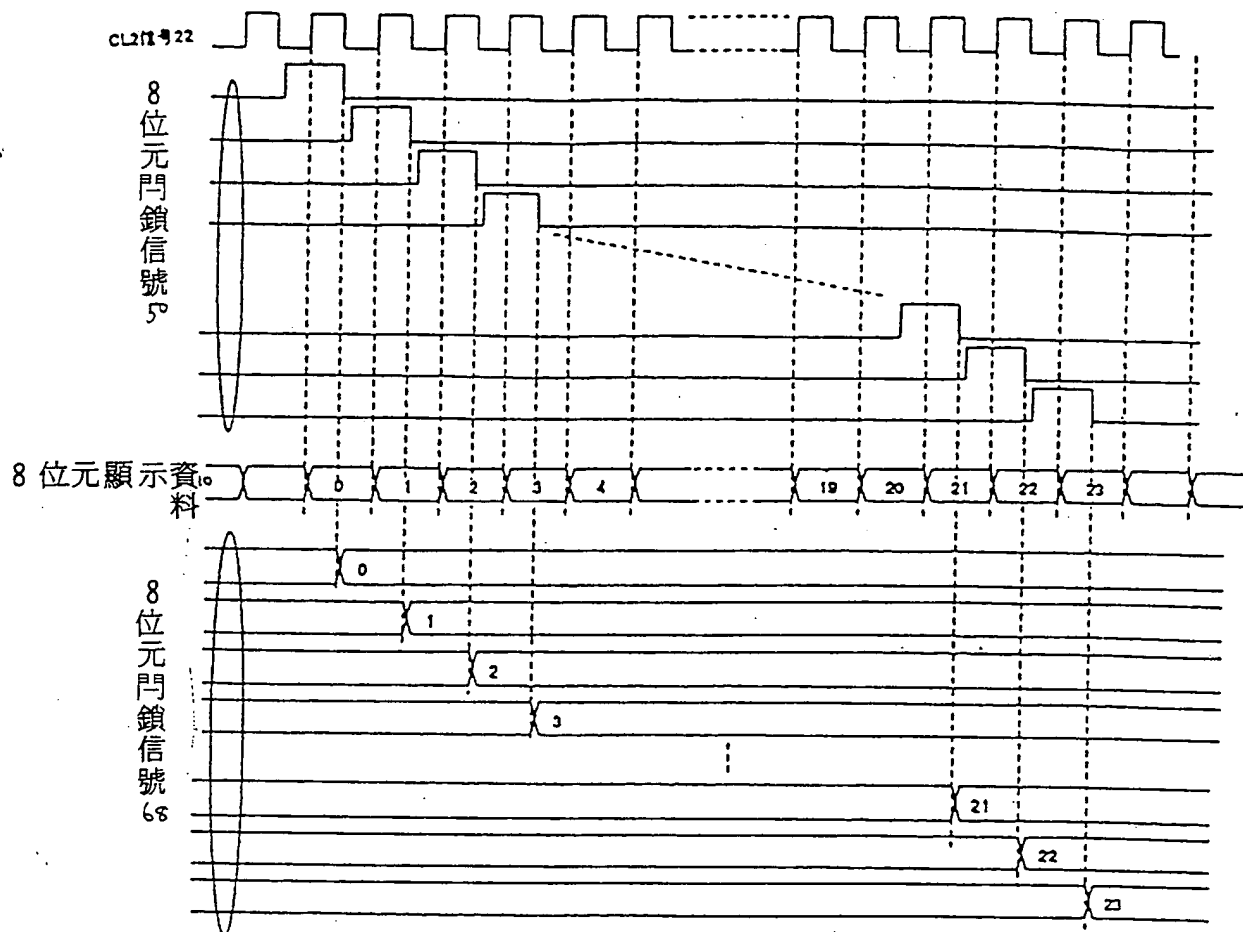
270993

第 7 圖

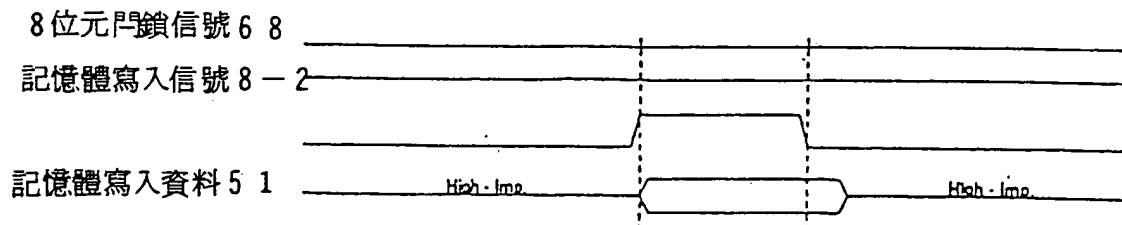


270993

第 8 圖



第 9 圖



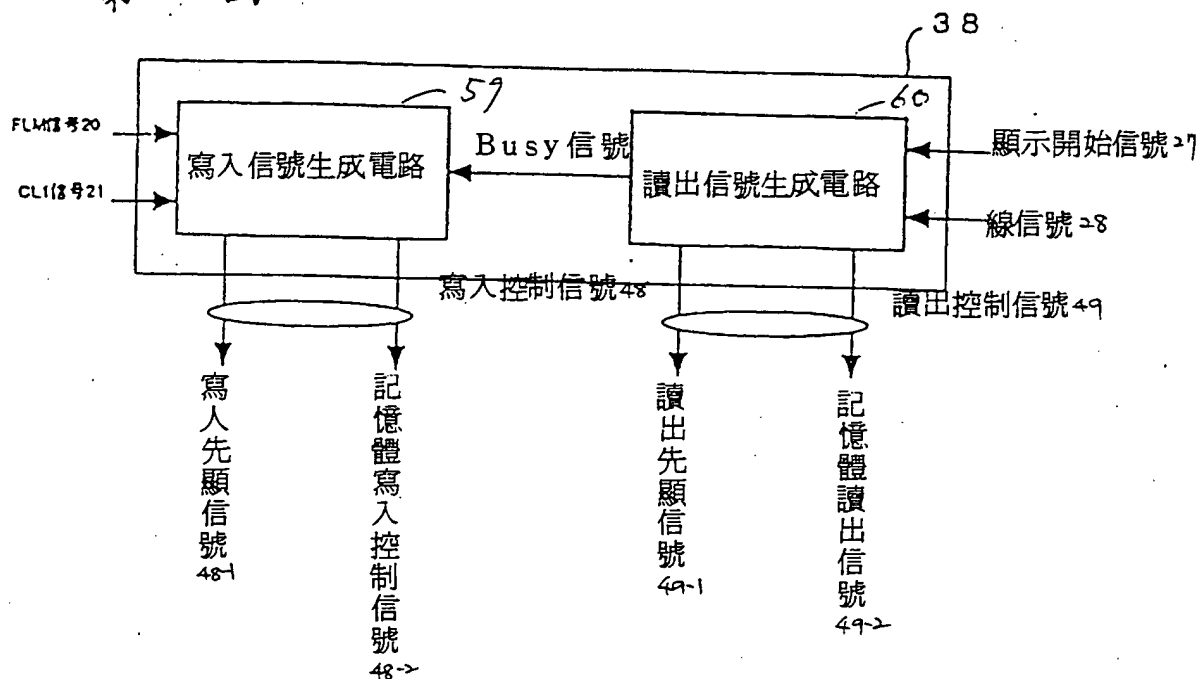
第 10 圖
位元組成 A

寫入地址	0	D _{0,0(0)}	D _{0,1(0)}	D _{0,2(0)}	D _{0,3(0)}	D _{0,4(0)}	-----	D _{0,K(0)}	-----	D _{0,158(0)}	D _{0,159(0)}	0
	1	D _{1,0(0)}	D _{1,1(0)}	D _{1,2(0)}	D _{1,3(0)}	D _{1,4(0)}	-----	D _{1,K(0)}	-----	D _{1,158(0)}	D _{1,159(0)}	1
	2	D _{2,0(0)}	D _{2,1(0)}	D _{2,2(0)}	D _{2,3(0)}	D _{2,4(0)}	-----	D _{2,K(0)}	-----	D _{2,158(0)}	D _{2,159(0)}	2
	3	D _{3,0(0)}	D _{3,1(0)}	D _{3,2(0)}	D _{3,3(0)}	D _{3,4(0)}	-----	D _{3,K(0)}	-----	D _{3,158(0)}	D _{3,159(0)}	3
	4	D _{4,0(0)}	D _{4,1(0)}	D _{4,2(0)}	D _{4,3(0)}	D _{4,4(0)}	-----	D _{4,K(0)}	-----	D _{4,158(0)}	D _{4,159(0)}	4
	5	D _{5,0(0)}	D _{5,1(0)}	D _{5,2(0)}	D _{5,3(0)}	D _{5,4(0)}	-----	D _{5,K(0)}	-----	D _{5,158(0)}	D _{5,159(0)}	5
	+	...	+
	1	D _{1,0(0)}	D _{1,1(0)}	D _{1,2(0)}	D _{1,3(0)}	D _{1,4(0)}	-----	D _{1,K(0)}	-----	D _{1,158(0)}	D _{1,159(0)}	...
	+	...	+
	237	D _{237,0(0)}	D _{237,1(0)}	D _{237,2(0)}	D _{237,3(0)}	D _{237,4(0)}	-----	D _{237,K(0)}	-----	D _{237,158(0)}	D _{237,159(0)}	237
	238	D _{238,0(0)}	D _{238,1(0)}	D _{238,2(0)}	D _{238,3(0)}	D _{238,4(0)}	-----	D _{238,K(0)}	-----	D _{238,158(0)}	D _{238,159(0)}	238
	239	D _{239,0(0)}	D _{239,1(0)}	D _{239,2(0)}	D _{239,3(0)}	D _{239,4(0)}	-----	D _{239,K(0)}	-----	D _{239,158(0)}	D _{239,159(0)}	239

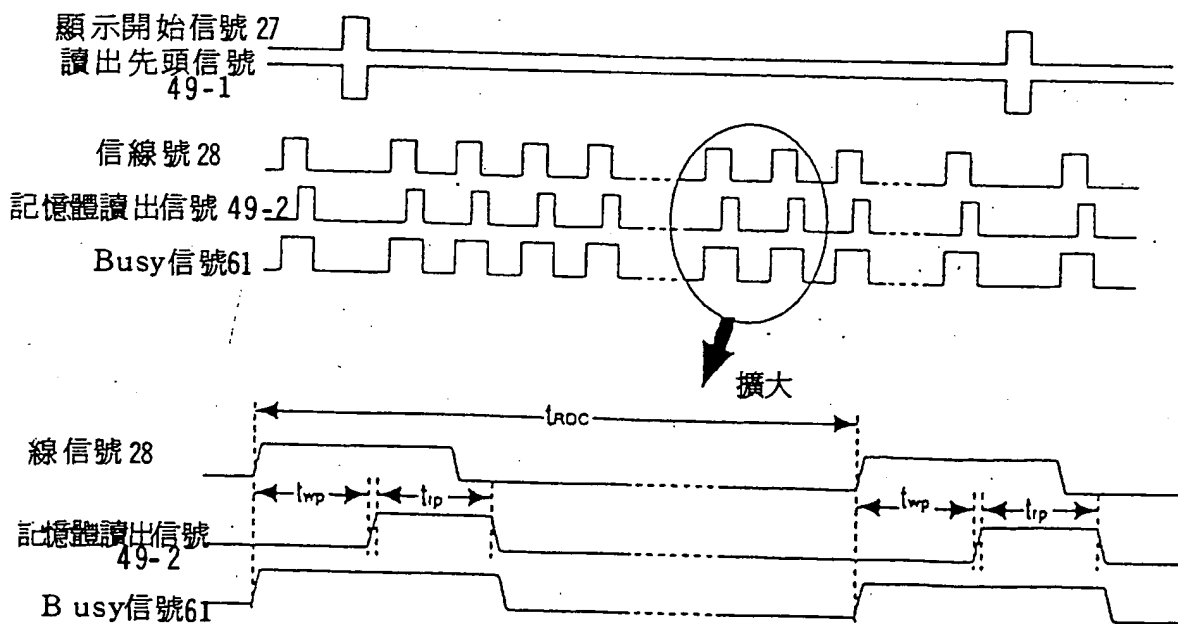
位元組 B

寫入地址	0	D _{0,0(1)}	D _{0,1(1)}	D _{0,2(1)}	D _{0,3(1)}	D _{0,4(1)}	-----	D _{0,K(1)}	-----	D _{0,158(1)}	D _{0,159(1)}	240
	1	D _{1,0(1)}	D _{1,1(1)}	D _{1,2(1)}	D _{1,3(1)}	D _{1,4(1)}	-----	D _{1,K(1)}	-----	D _{1,158(1)}	D _{1,159(1)}	241
	2	D _{2,0(1)}	D _{2,1(1)}	D _{2,2(1)}	D _{2,3(1)}	D _{2,4(1)}	-----	D _{2,K(1)}	-----	D _{2,158(1)}	D _{2,159(1)}	242
	3	D _{3,0(1)}	D _{3,1(1)}	D _{3,2(1)}	D _{3,3(1)}	D _{3,4(1)}	-----	D _{3,K(1)}	-----	D _{3,158(1)}	D _{3,159(1)}	243
	4	D _{4,0(1)}	D _{4,1(1)}	D _{4,2(1)}	D _{4,3(1)}	D _{4,4(1)}	-----	D _{4,K(1)}	-----	D _{4,158(1)}	D _{4,159(1)}	244
	5	D _{5,0(1)}	D _{5,1(1)}	D _{5,2(1)}	D _{5,3(1)}	D _{5,4(1)}	-----	D _{5,K(1)}	-----	D _{5,158(1)}	D _{5,159(1)}	245
	+	...	+
	1	D _{1,0(1)}	D _{1,1(1)}	D _{1,2(1)}	D _{1,3(1)}	D _{1,4(1)}	-----	D _{1,K(1)}	-----	D _{1,158(1)}	D _{1,159(1)}	...
	+	...	+
	237	D _{237,0(1)}	D _{237,1(1)}	D _{237,2(1)}	D _{237,3(1)}	D _{237,4(1)}	-----	D _{237,K(1)}	-----	D _{237,158(1)}	D _{237,159(1)}	477
	238	D _{238,0(1)}	D _{238,1(1)}	D _{238,2(1)}	D _{238,3(1)}	D _{238,4(1)}	-----	D _{238,K(1)}	-----	D _{238,158(1)}	D _{238,159(1)}	478
	239	D _{239,0(1)}	D _{239,1(1)}	D _{239,2(1)}	D _{239,3(1)}	D _{239,4(1)}	-----	D _{239,K(1)}	-----	D _{239,158(1)}	D _{239,159(1)}	479

第 11 圖

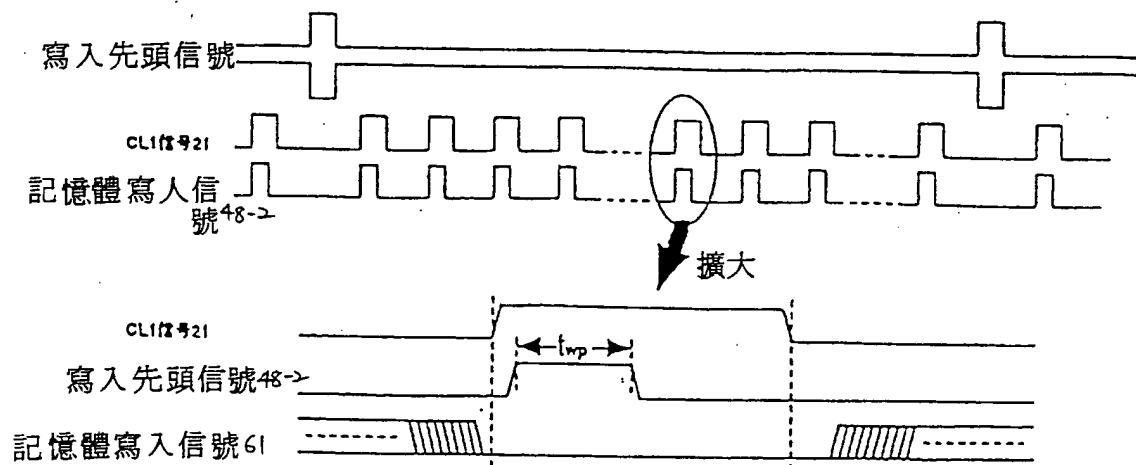


第 12 圖

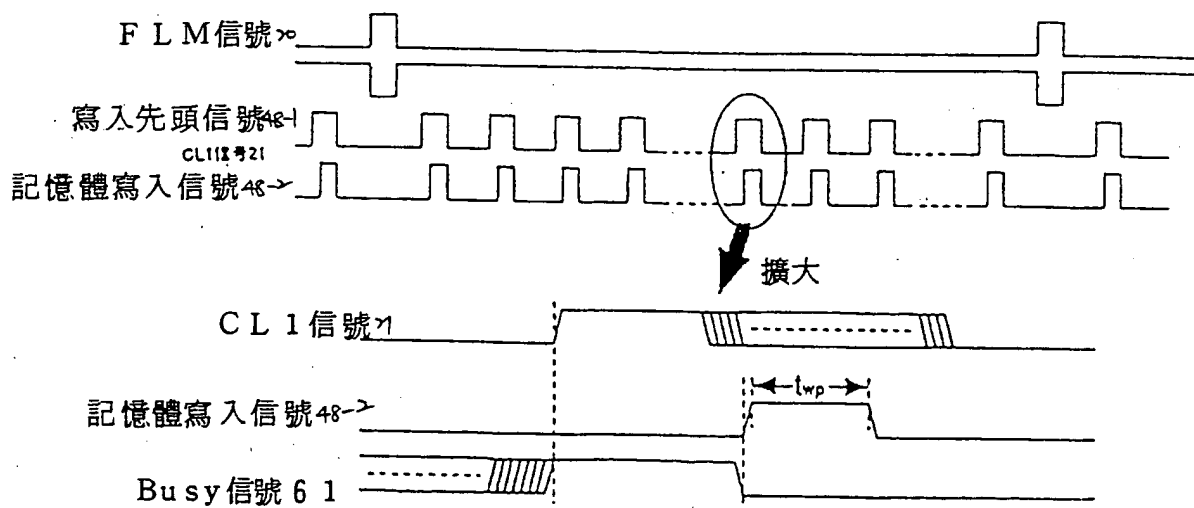


270993

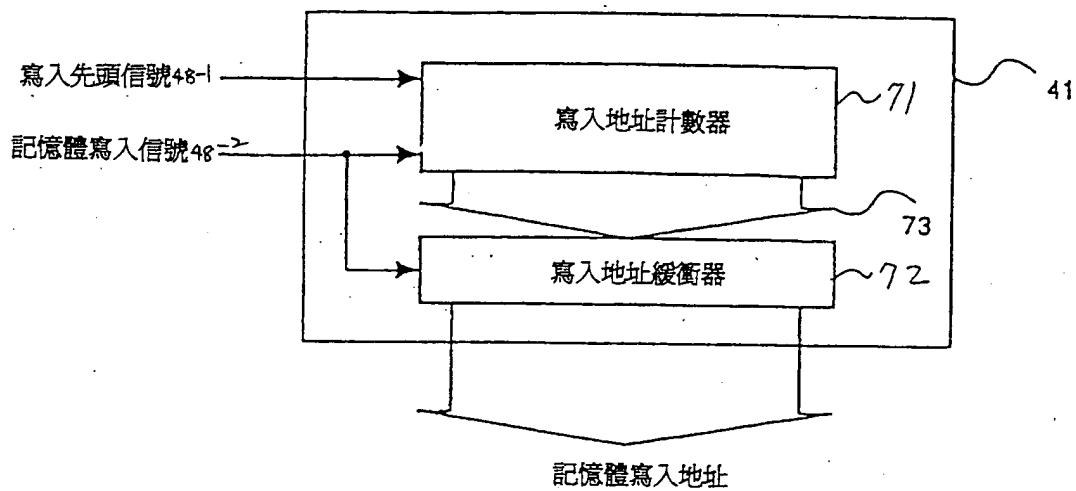
第 13 圖



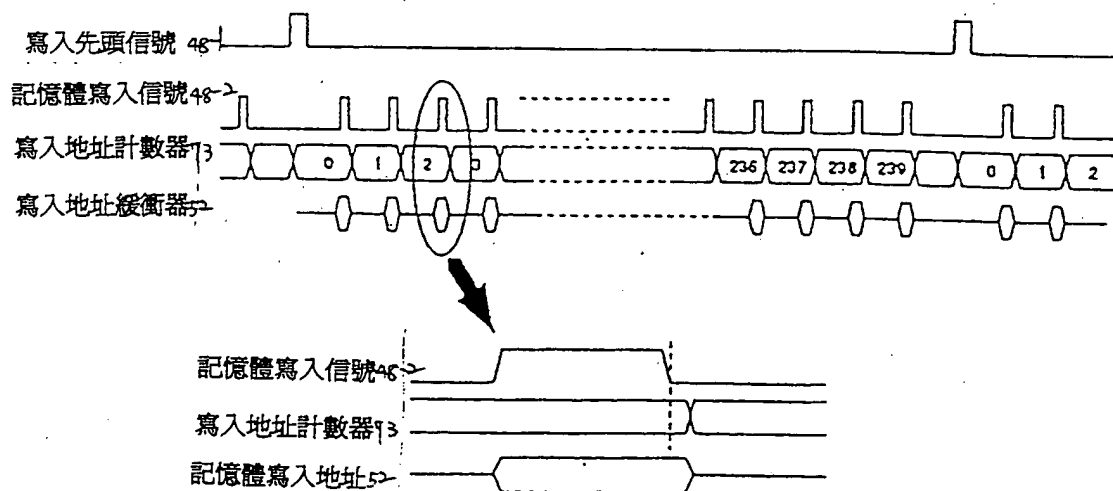
第 14 圖



第 15 圖

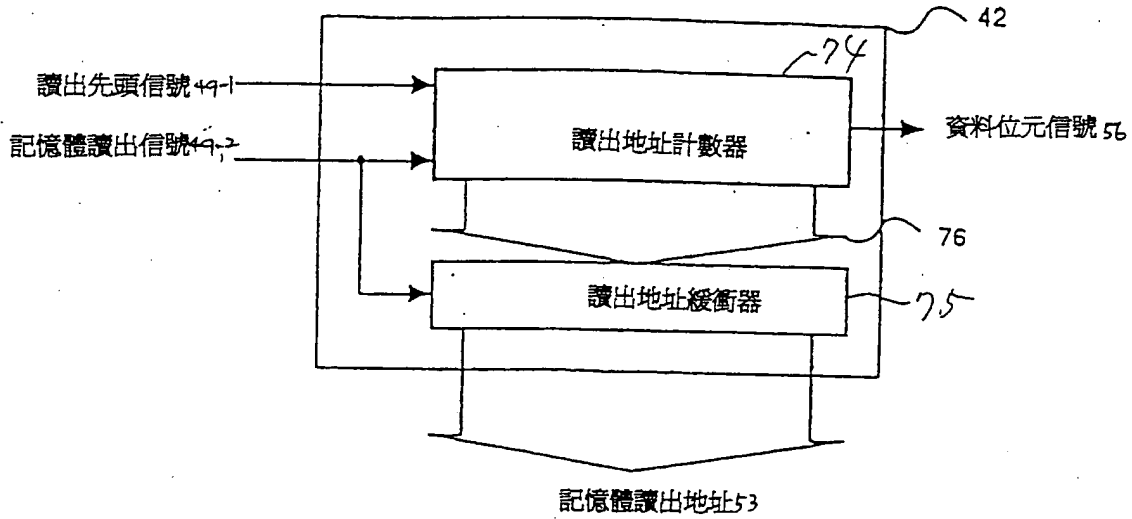


第 16 圖

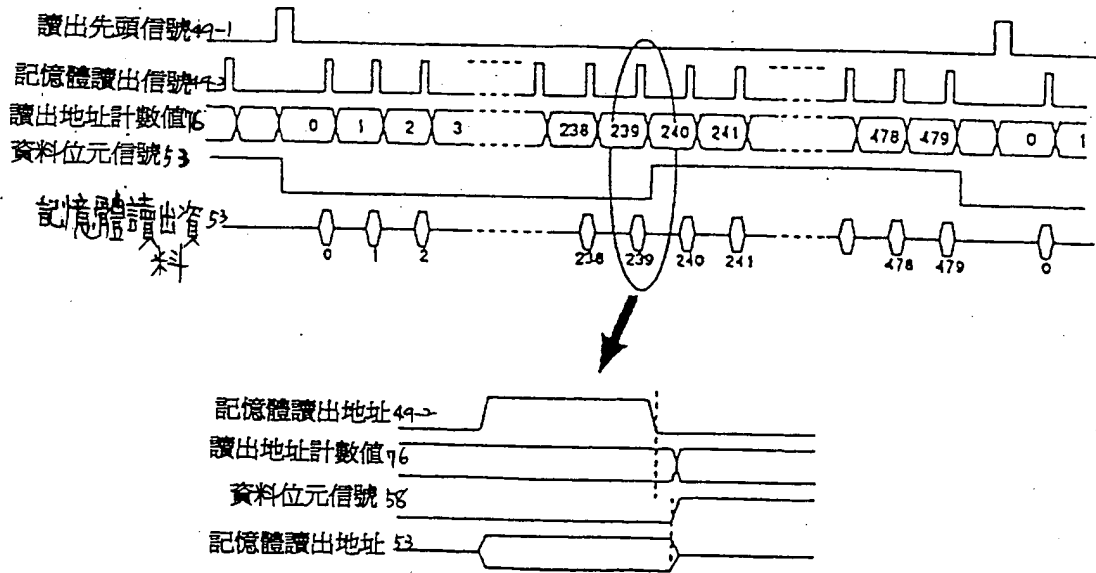


270993

第 17 圖

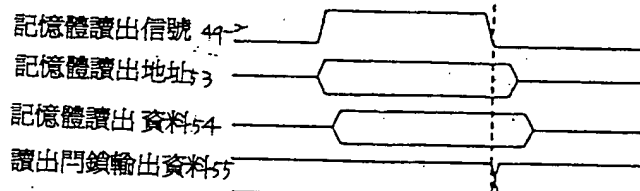
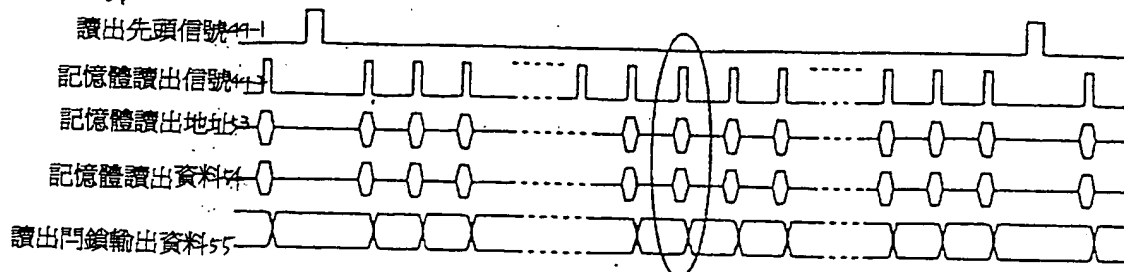


第 18 圖

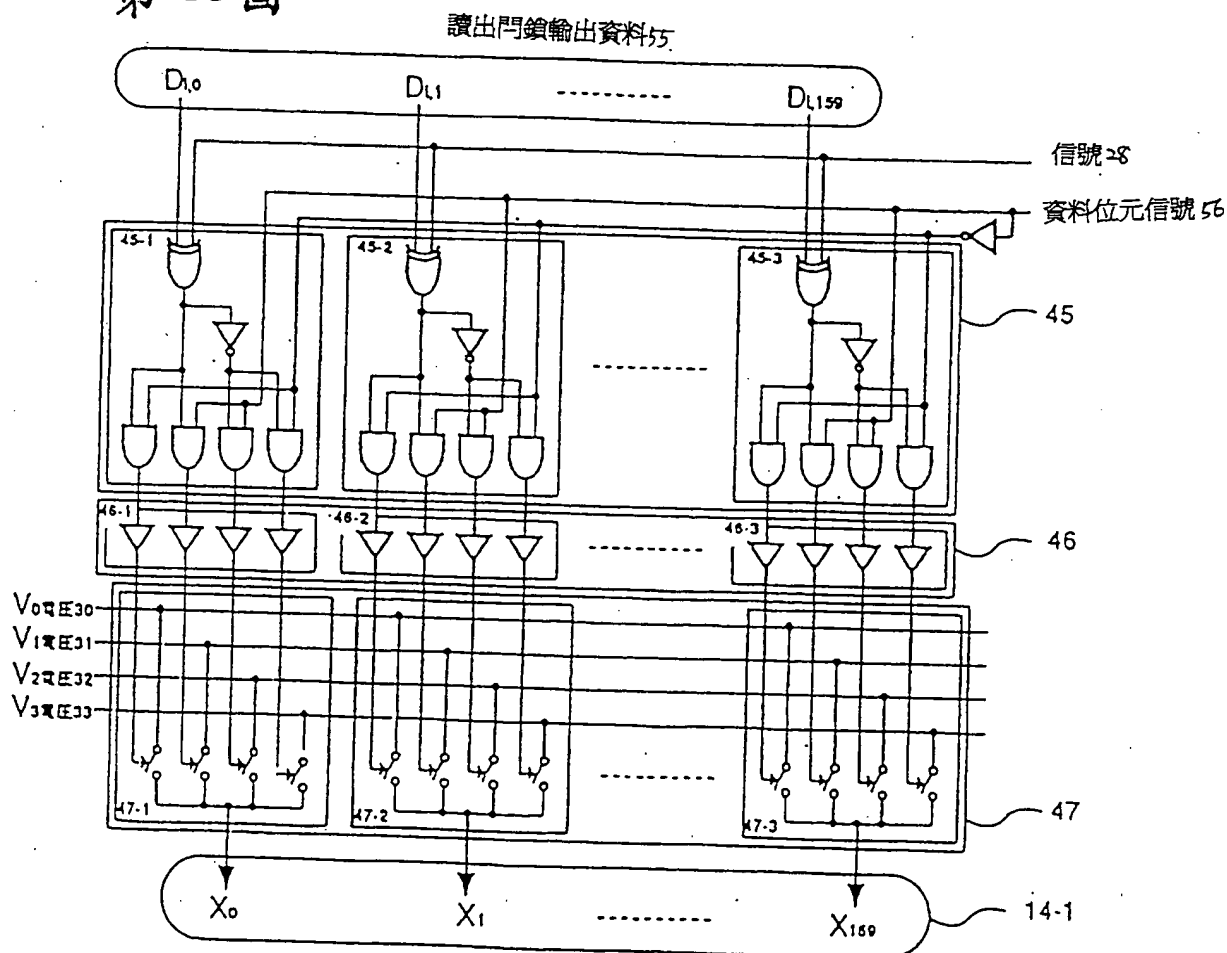


270993

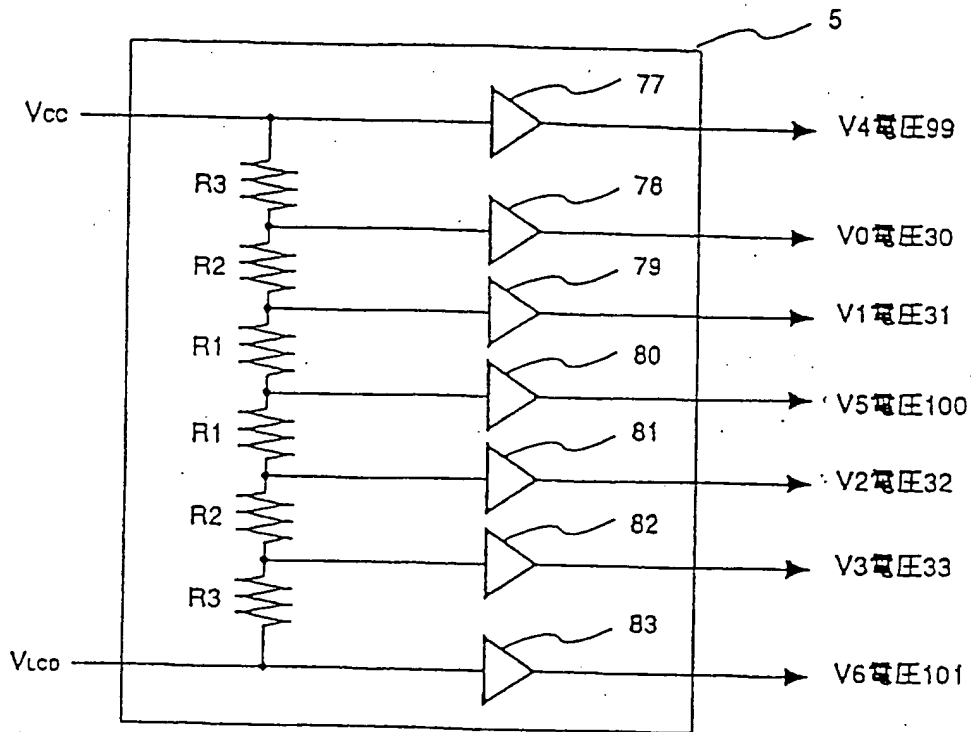
第 19 圖



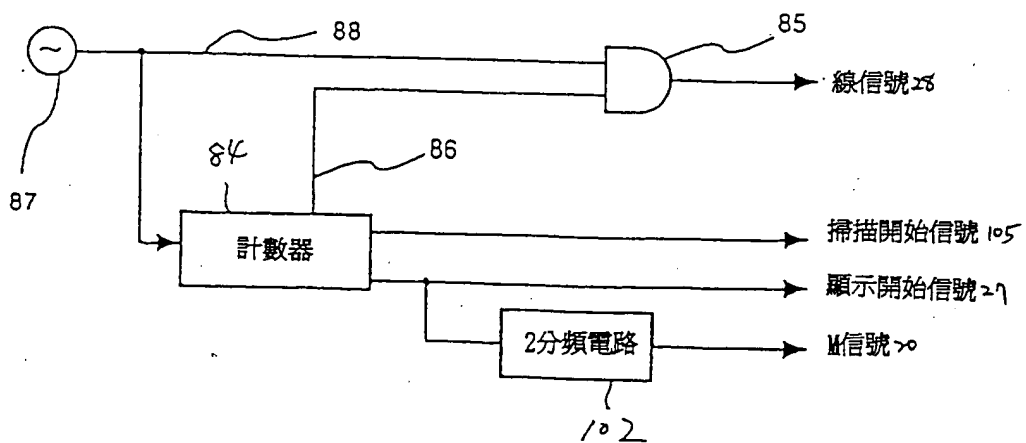
第 20 圖



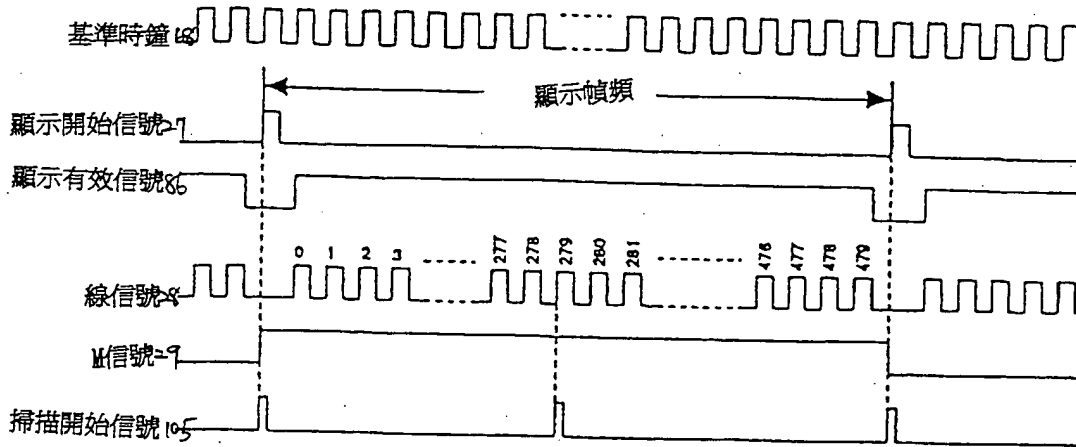
第 21 圖



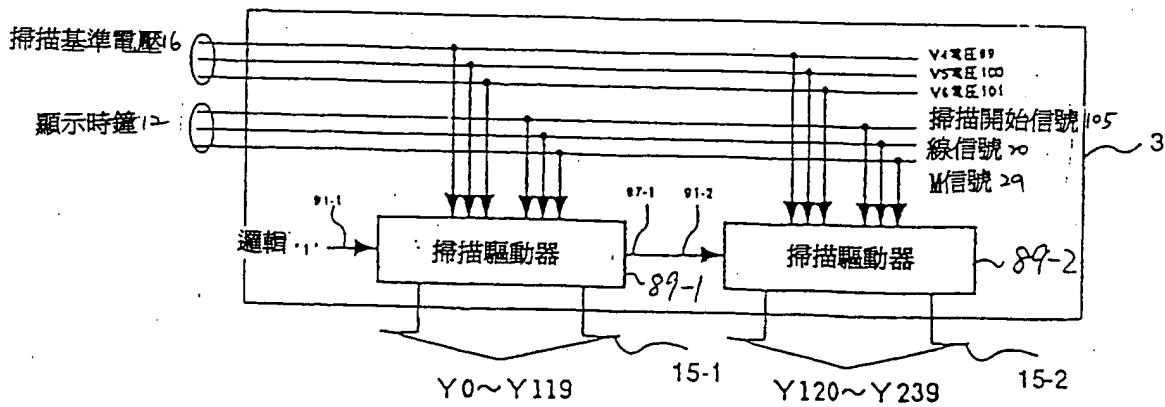
第 22 圖



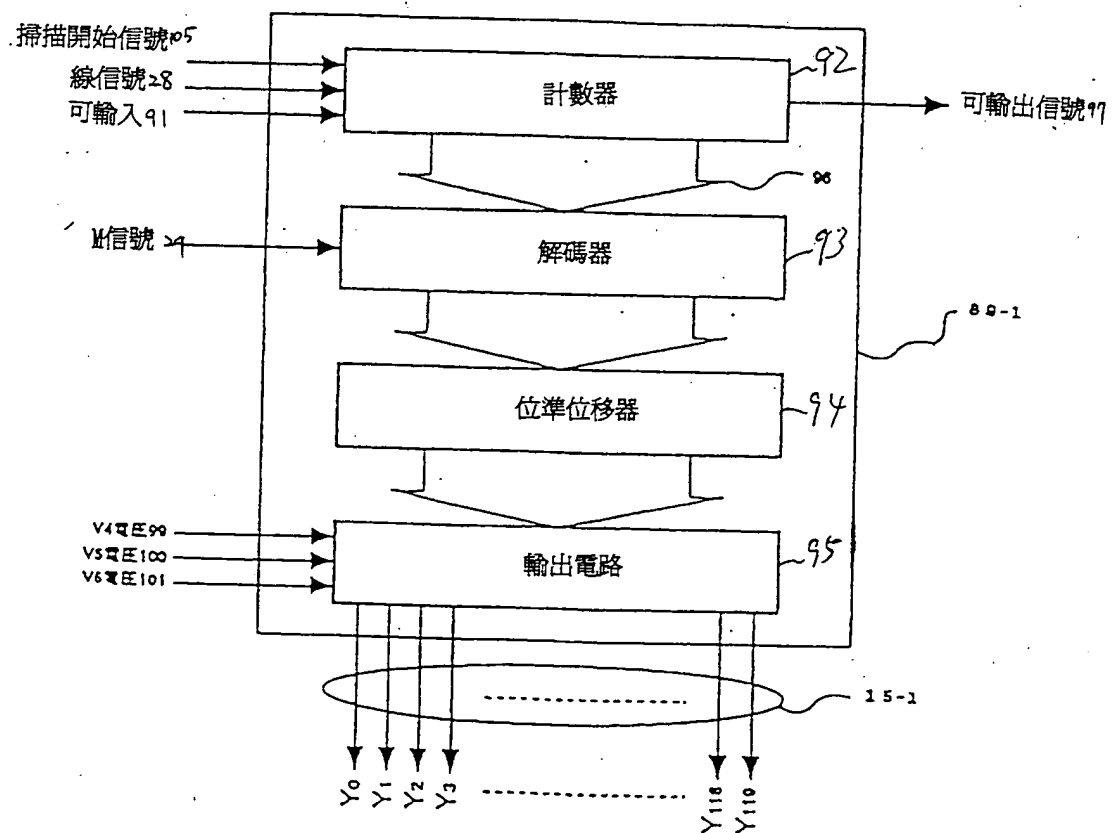
第 23 圖



第 24 圖

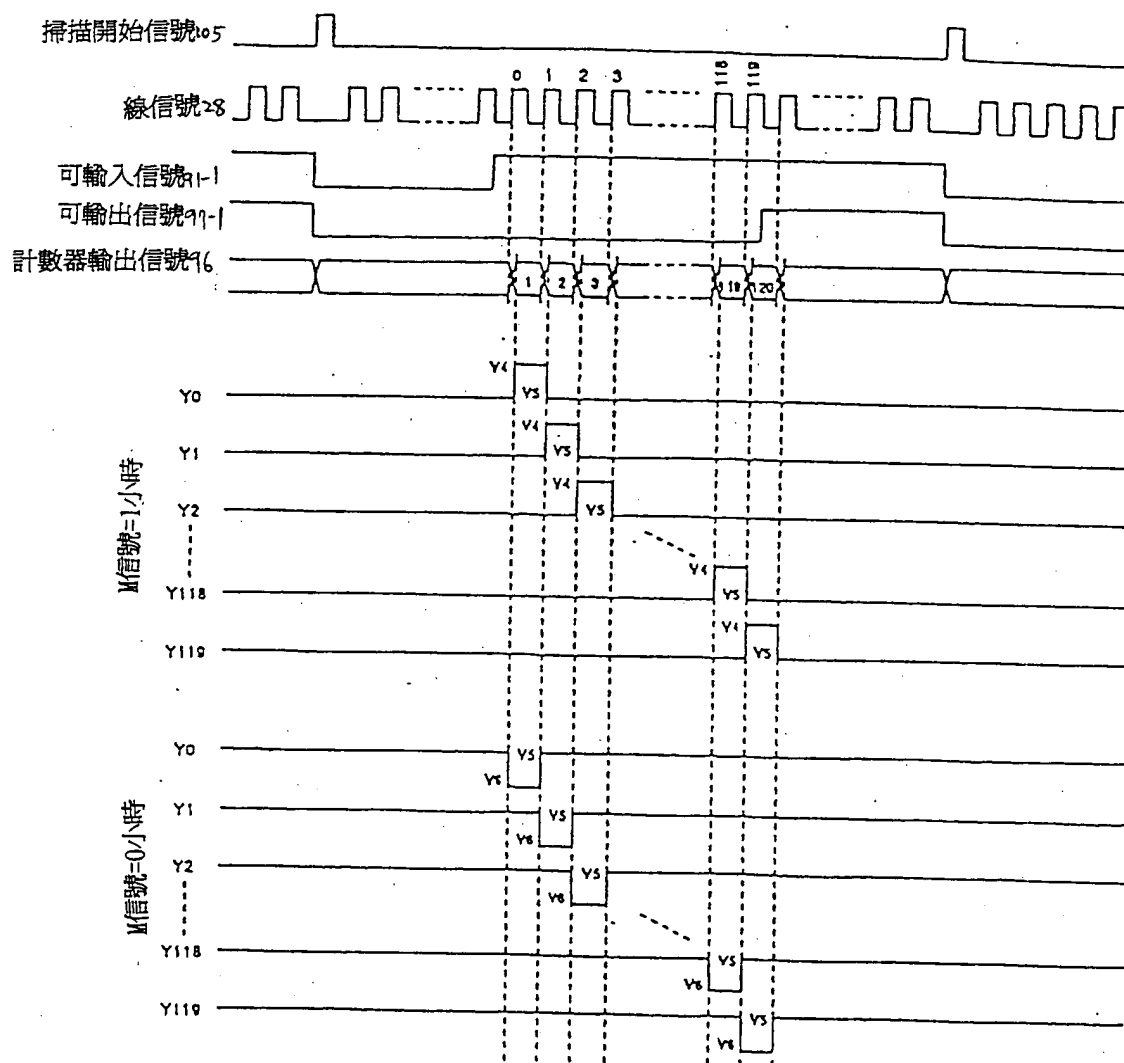


第 25 圖



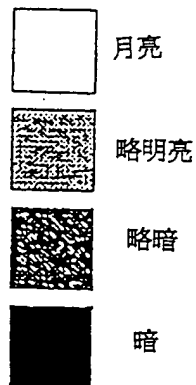
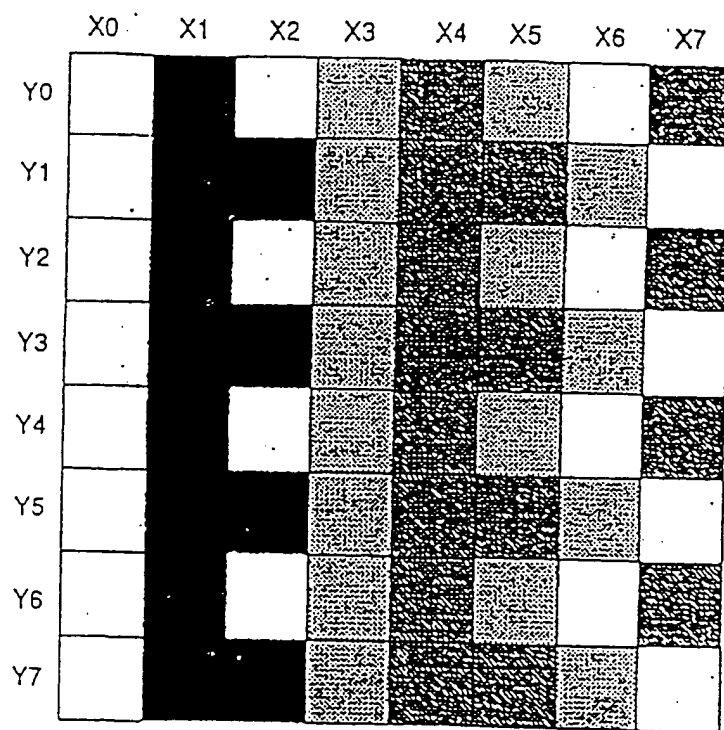
270993

第 26圖

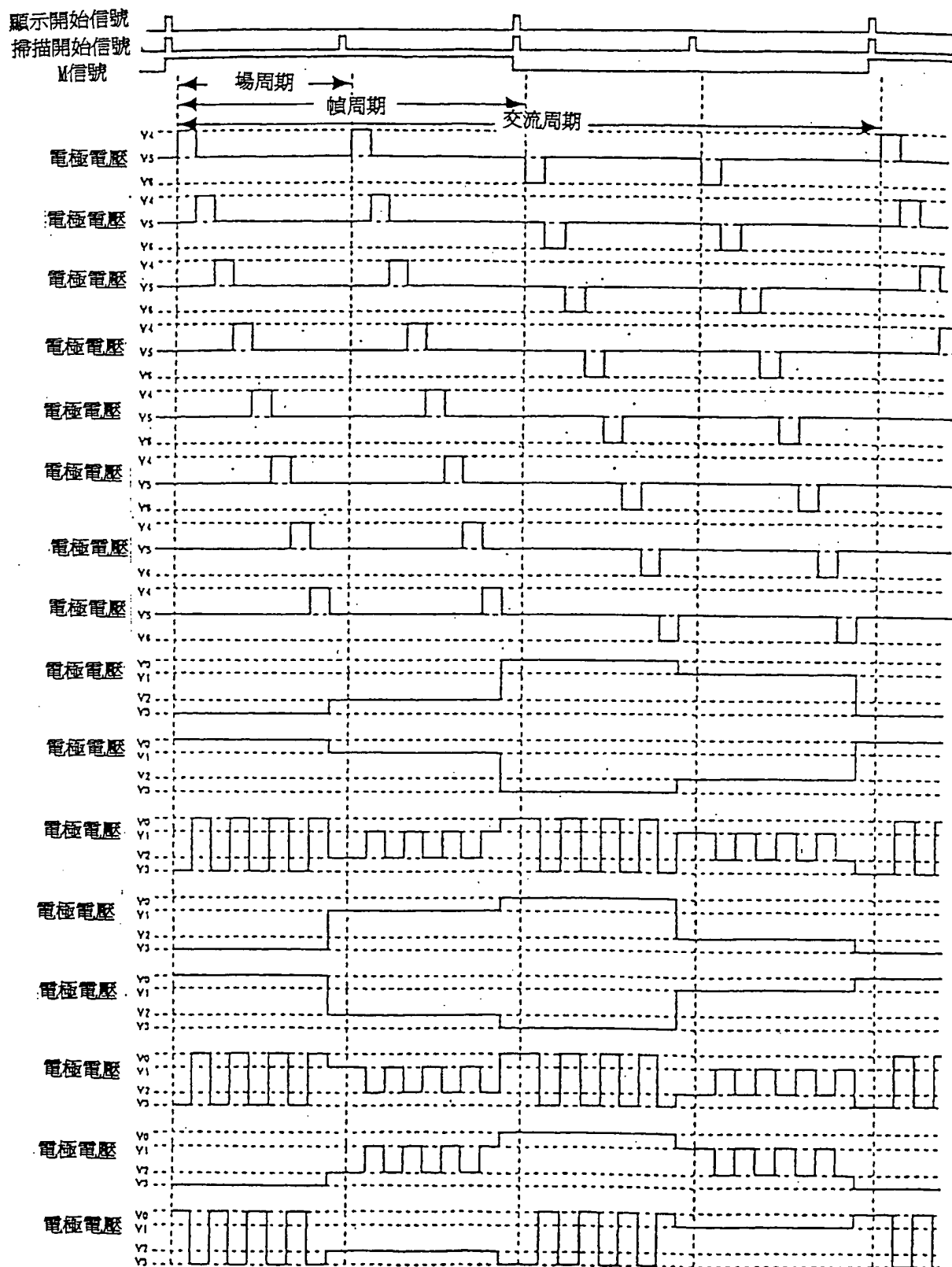


270993

第 27 圖



第 28 圖



第 30 圖

位元組成

0	D _{0,0(0)}	D _{0,1(1)}	D _{0,2(0)}	D _{0,3(1)}	D _{0,4(0)}	-----	D _{0,K(1)}	-----	D _{0,158(0)}	D _{0,159(1)}	0
1	D _{1,0(1)}	D _{1,1(0)}	D _{1,2(1)}	D _{1,3(0)}	D _{1,4(1)}	-----	D _{1,K(0)}	-----	D _{1,158(1)}	D _{1,159(0)}	1
2	D _{2,0(0)}	D _{2,1(1)}	D _{2,2(0)}	D _{2,3(1)}	D _{2,4(0)}	-----	D _{2,K(1)}	-----	D _{2,158(0)}	D _{2,159(1)}	2
3	D _{3,0(1)}	D _{3,1(0)}	D _{3,2(1)}	D _{3,3(0)}	D _{3,4(1)}	-----	D _{3,K(0)}	-----	D _{3,158(1)}	D _{3,159(0)}	3
4	D _{4,0(1)}	D _{4,1(1)}	D _{4,2(0)}	D _{4,3(1)}	D _{4,4(0)}	-----	D _{4,K(1)}	-----	D _{4,158(0)}	D _{4,159(1)}	4
5	D _{5,0(1)}	D _{5,1(0)}	D _{5,2(1)}	D _{5,3(0)}	D _{5,4(1)}	-----	D _{5,K(0)}	-----	D _{5,158(1)}	D _{5,159(0)}	5
...	+	...	+
...	+	...	+
...	+	...	+
237	D _{237,0(1)}	D _{237,1(0)}	D _{237,2(1)}	D _{237,3(0)}	D _{237,4(1)}	-----	D _{237,K(0)}	-----	D _{237,158(1)}	D _{237,159(0)}	237
238	D _{238,0(0)}	D _{238,1(1)}	D _{238,2(0)}	D _{238,3(1)}	D _{238,4(0)}	-----	D _{238,K(1)}	-----	D _{238,158(0)}	D _{238,159(1)}	238
239	D _{239,0(1)}	D _{239,1(0)}	D _{239,2(1)}	D _{239,3(0)}	D _{239,4(1)}	-----	D _{239,K(0)}	-----	D _{239,158(1)}	D _{239,159(0)}	239

寫入地址

讀出地址

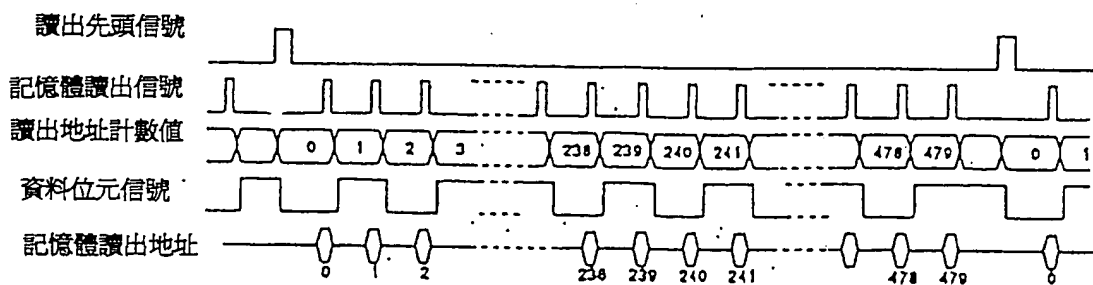
位元組成

0	D _{0,0(1)}	D _{0,1(0)}	D _{0,2(1)}	D _{0,3(0)}	D _{0,4(1)}	-----	D _{0,K(0)}	-----	D _{0,158(1)}	D _{0,159(0)}	240
1	D _{1,0(0)}	D _{1,1(1)}	D _{1,2(0)}	D _{1,3(1)}	D _{1,4(0)}	-----	D _{1,K(1)}	-----	D _{1,158(0)}	D _{1,159(1)}	241
2	D _{2,0(1)}	D _{2,1(0)}	D _{2,2(1)}	D _{2,3(0)}	D _{2,4(1)}	-----	D _{2,K(0)}	-----	D _{2,158(1)}	D _{2,159(0)}	242
3	D _{3,0(0)}	D _{3,1(1)}	D _{3,2(0)}	D _{3,3(1)}	D _{3,4(0)}	-----	D _{3,K(1)}	-----	D _{3,158(0)}	D _{3,159(1)}	243
4	D _{4,0(1)}	D _{4,1(0)}	D _{4,2(1)}	D _{4,3(0)}	D _{4,4(1)}	-----	D _{4,K(0)}	-----	D _{4,158(1)}	D _{4,159(0)}	244
5	D _{5,0(0)}	D _{5,1(1)}	D _{5,2(0)}	D _{5,3(1)}	D _{5,4(0)}	-----	D _{5,K(1)}	-----	D _{5,158(0)}	D _{5,159(1)}	245
...	+	...	+
...	+	...	+
...	+	...	+
237	D _{237,0(0)}	D _{237,1(1)}	D _{237,2(0)}	D _{237,3(1)}	D _{237,4(0)}	-----	D _{237,K(1)}	-----	D _{237,158(0)}	D _{237,159(1)}	477
238	D _{238,0(1)}	D _{238,1(0)}	D _{238,2(1)}	D _{238,3(0)}	D _{238,4(1)}	-----	D _{238,K(0)}	-----	D _{238,158(1)}	D _{238,159(0)}	478
239	D _{239,0(0)}	D _{239,1(1)}	D _{239,2(0)}	D _{239,3(1)}	D _{239,4(0)}	-----	D _{239,K(1)}	-----	D _{239,158(0)}	D _{239,159(1)}	479

寫入地址

讀出地址

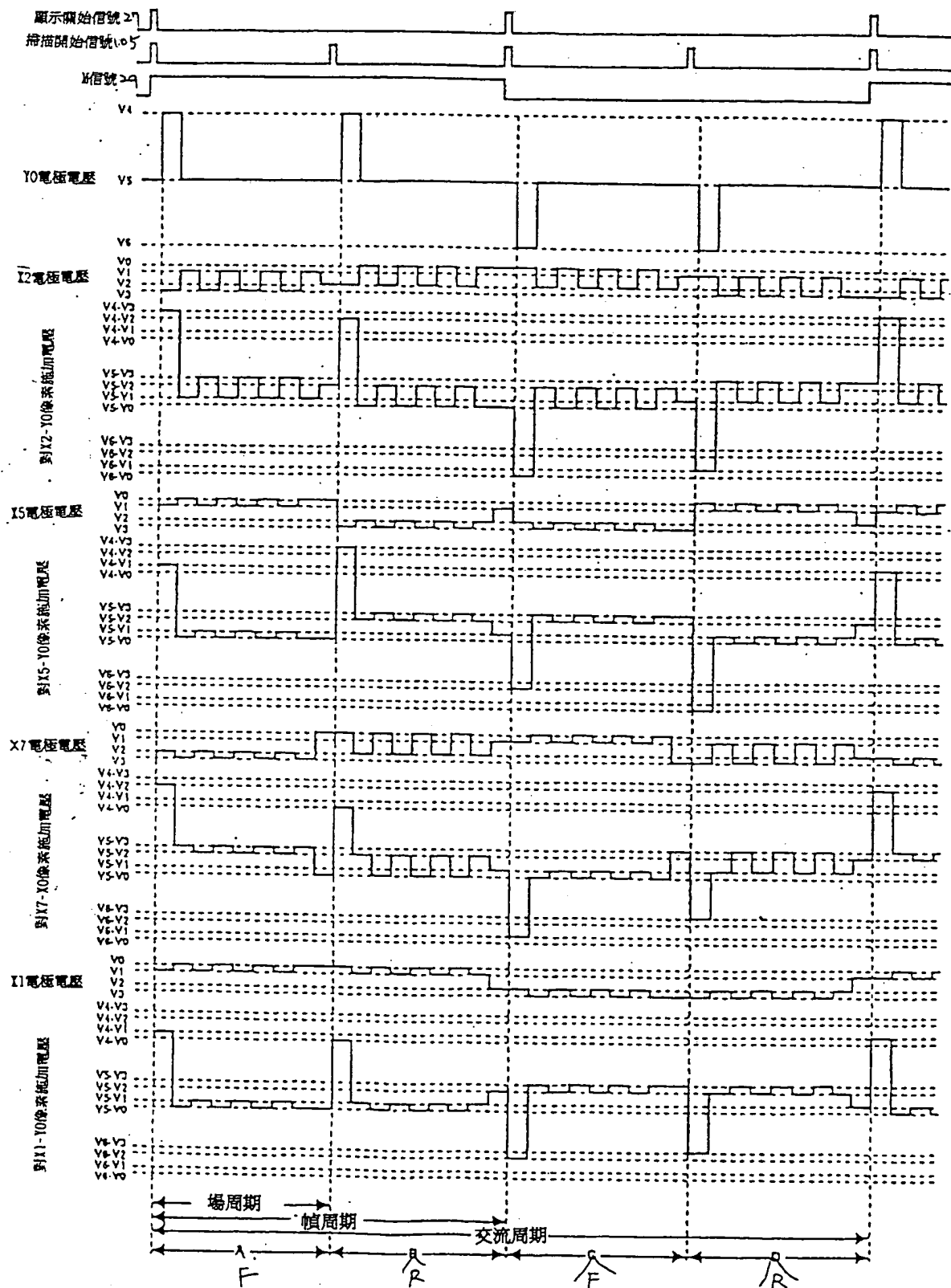
第 31 圖



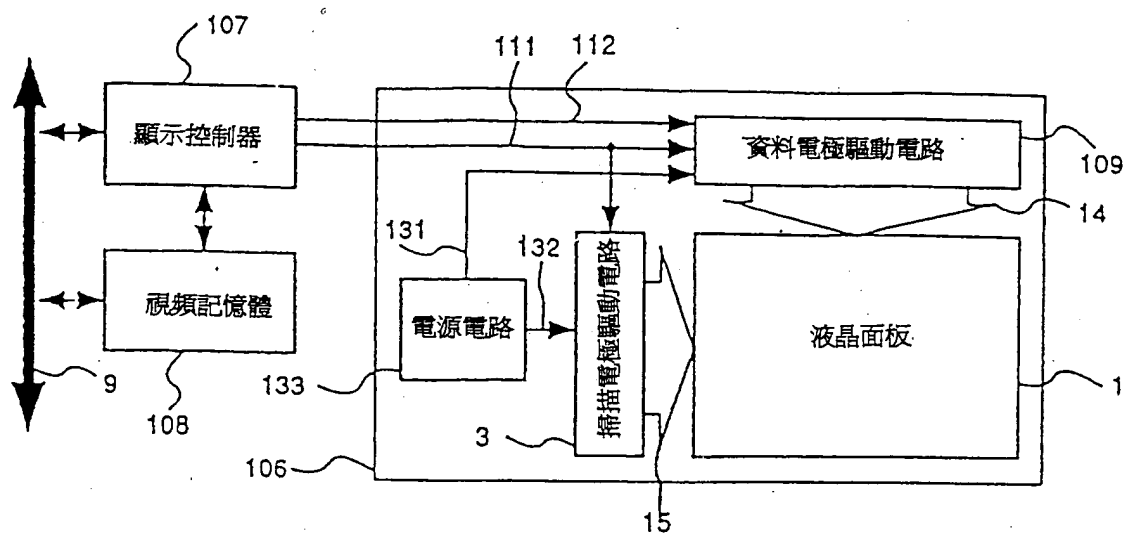
第 32 圖



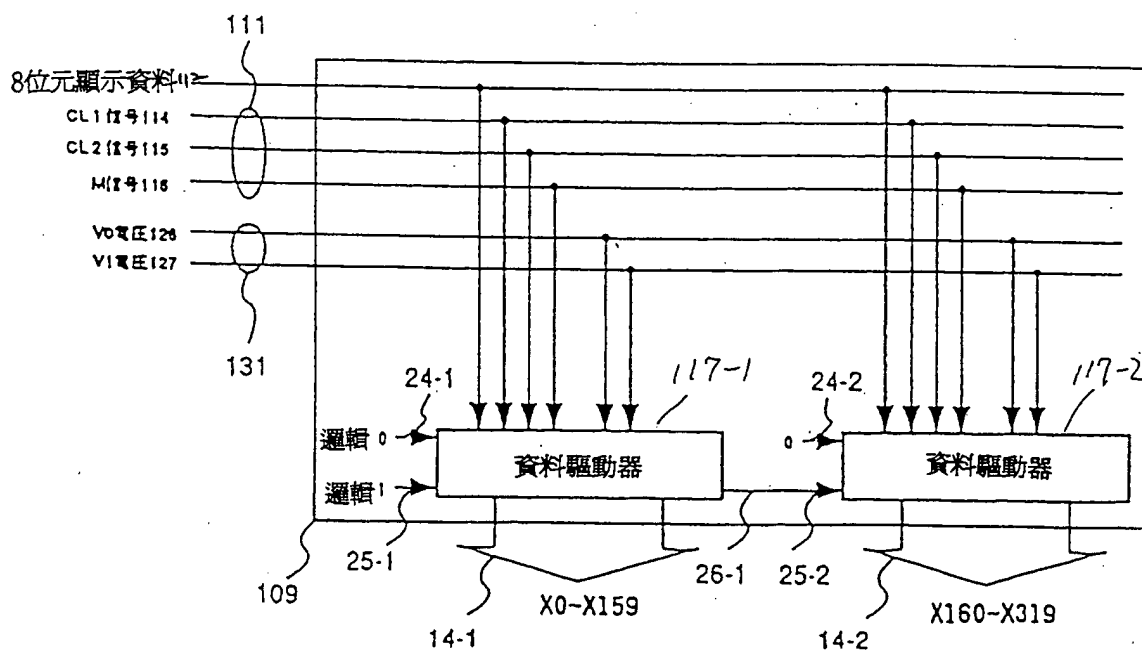
第 33 圖



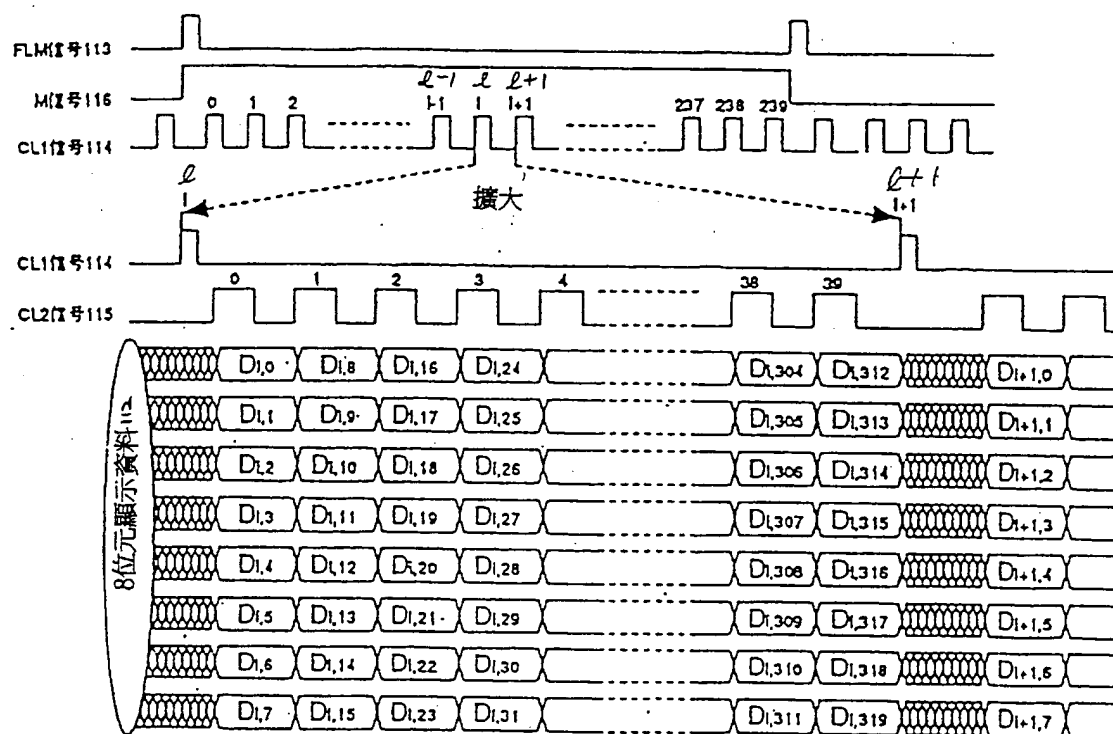
第 34 圖



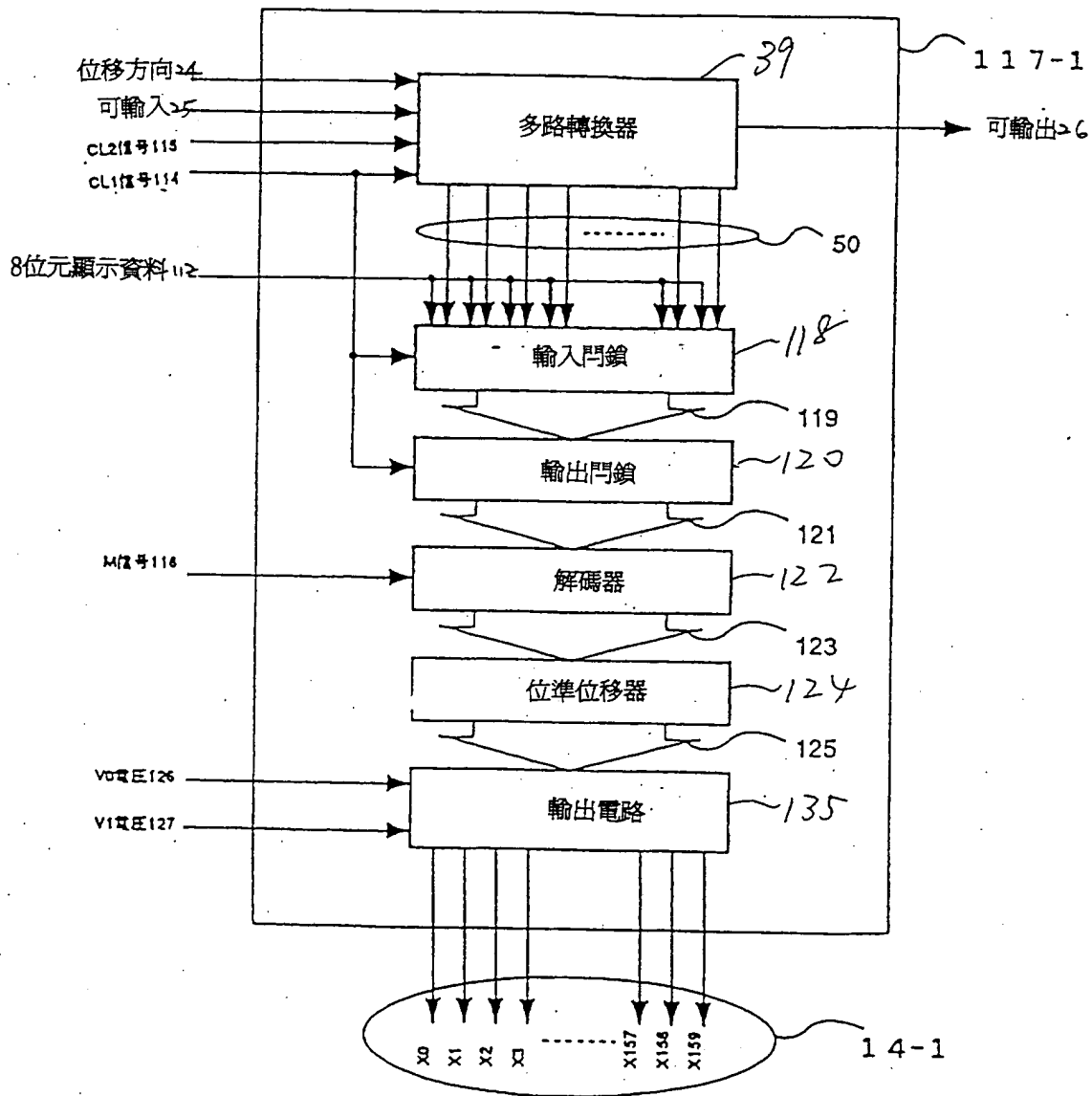
第 35 圖



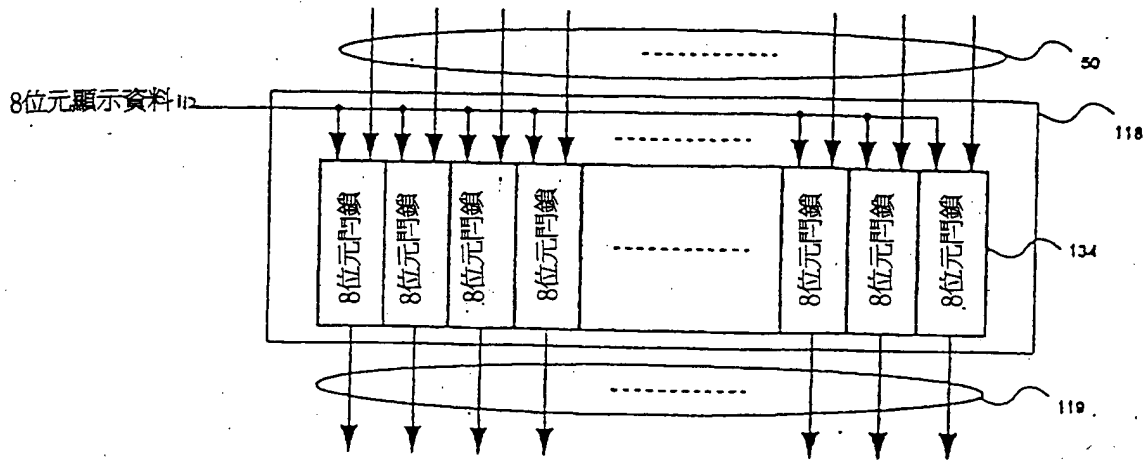
第 36 圖



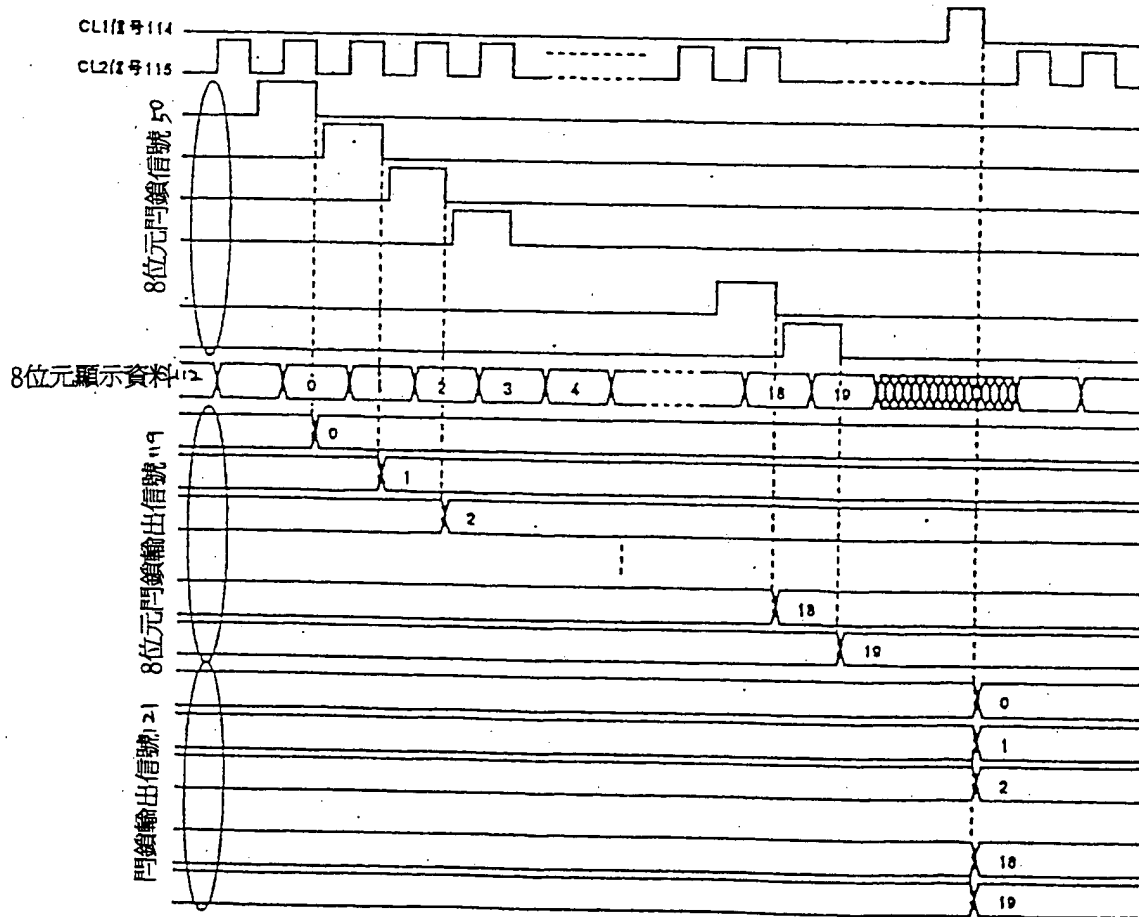
第 37 圖



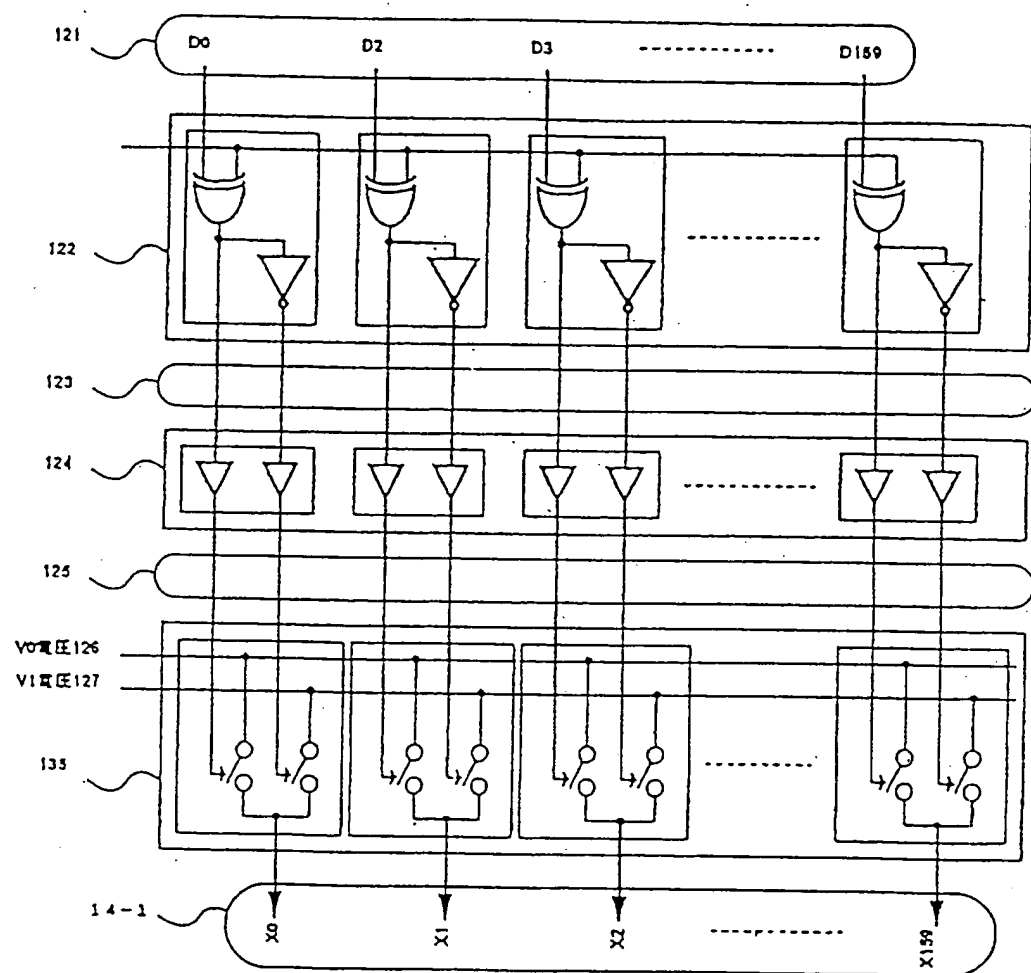
第 38 圖



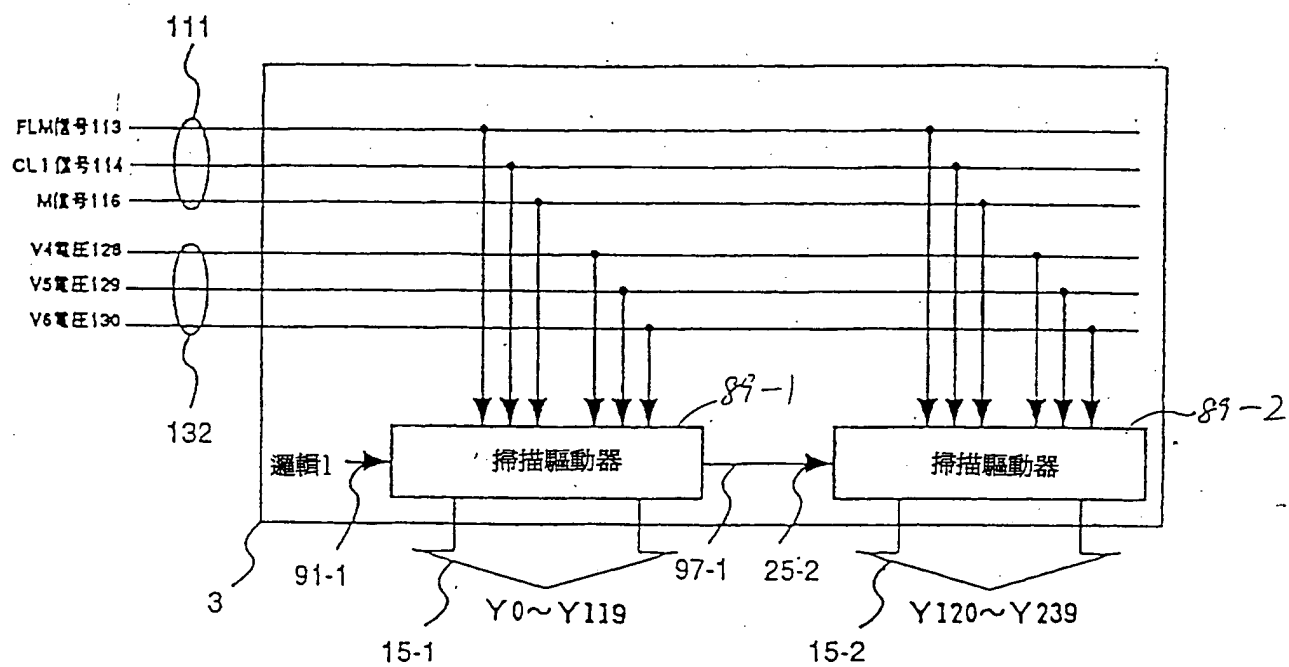
第 39 圖



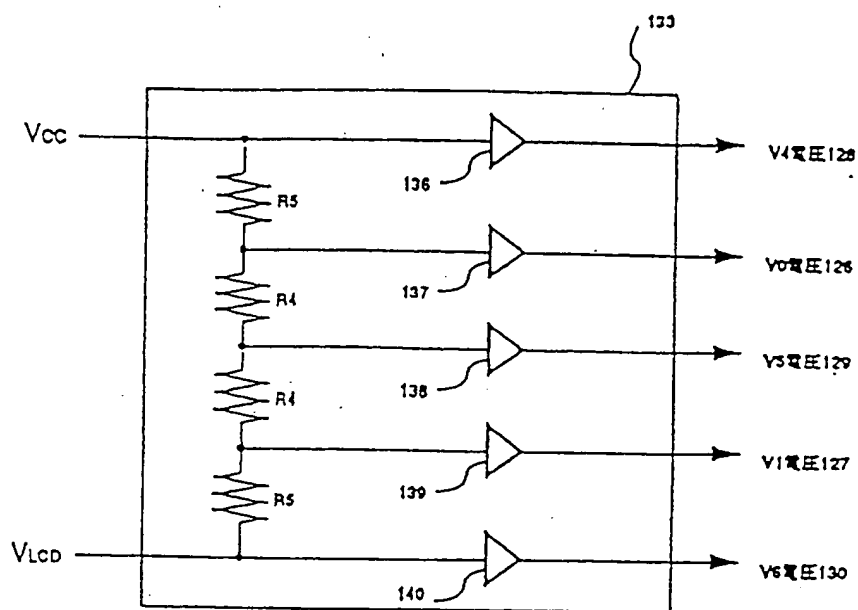
第 40 圖



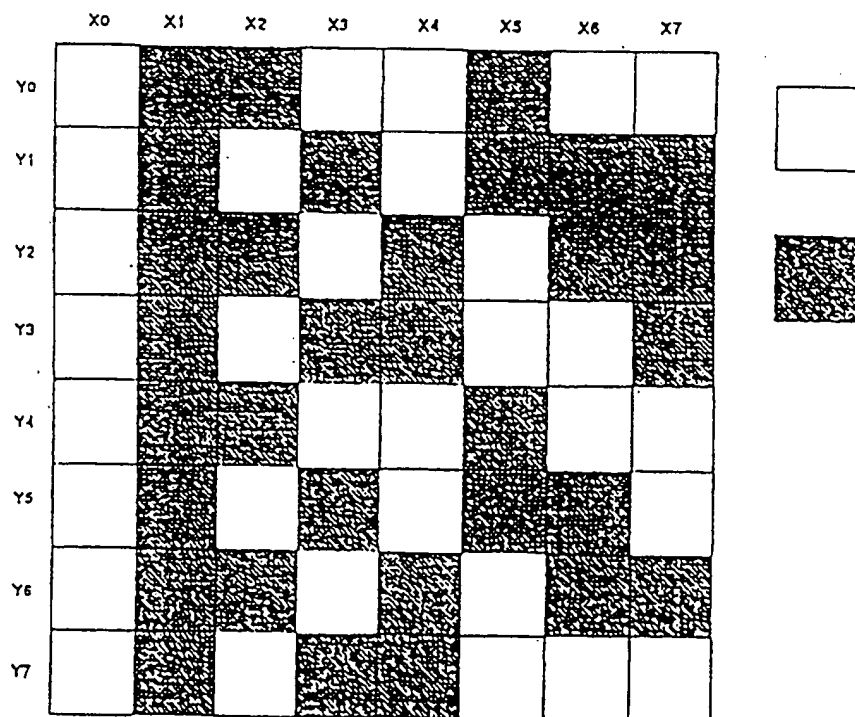
第 41 圖



第 42 圖

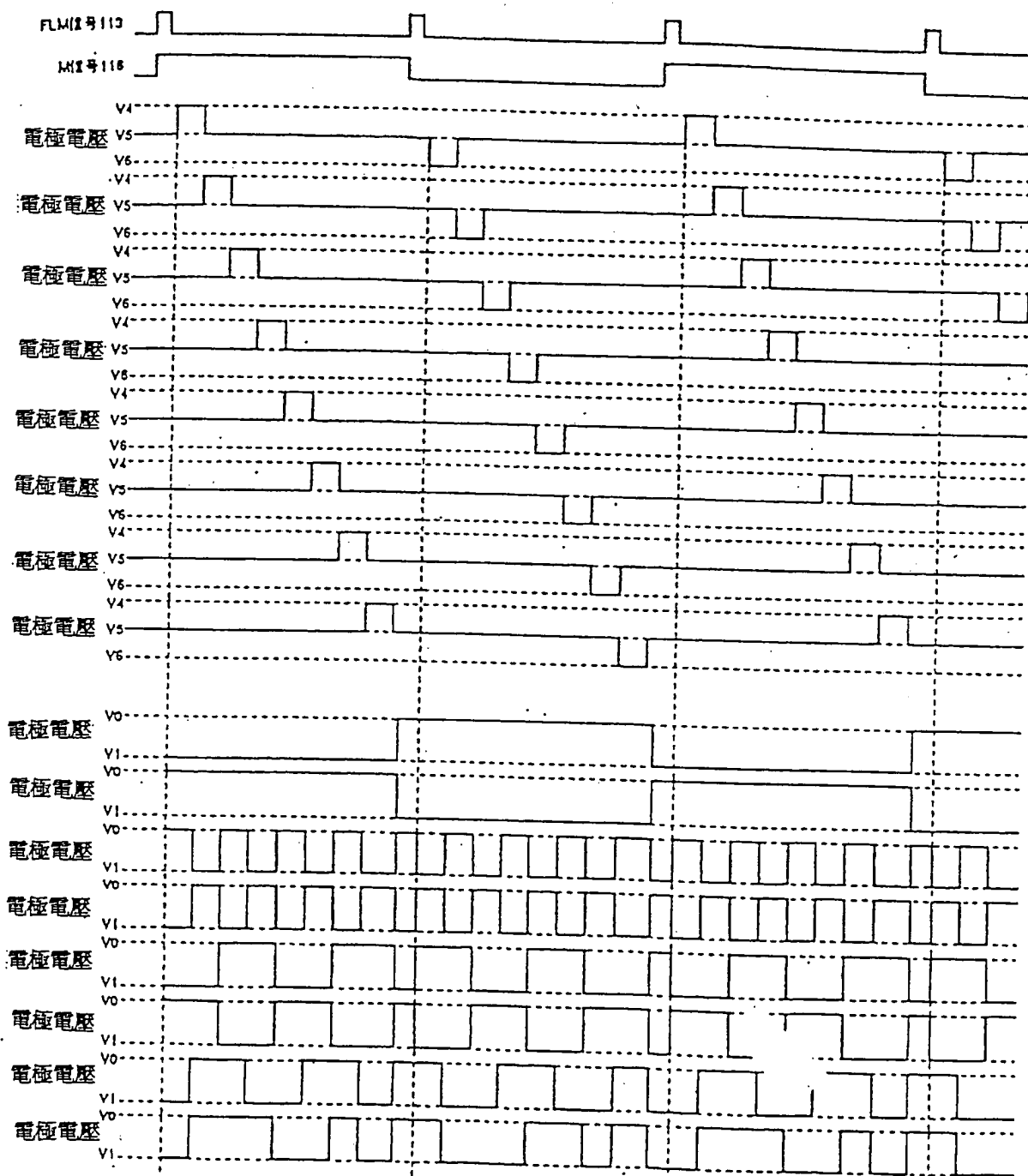


第 43 圖

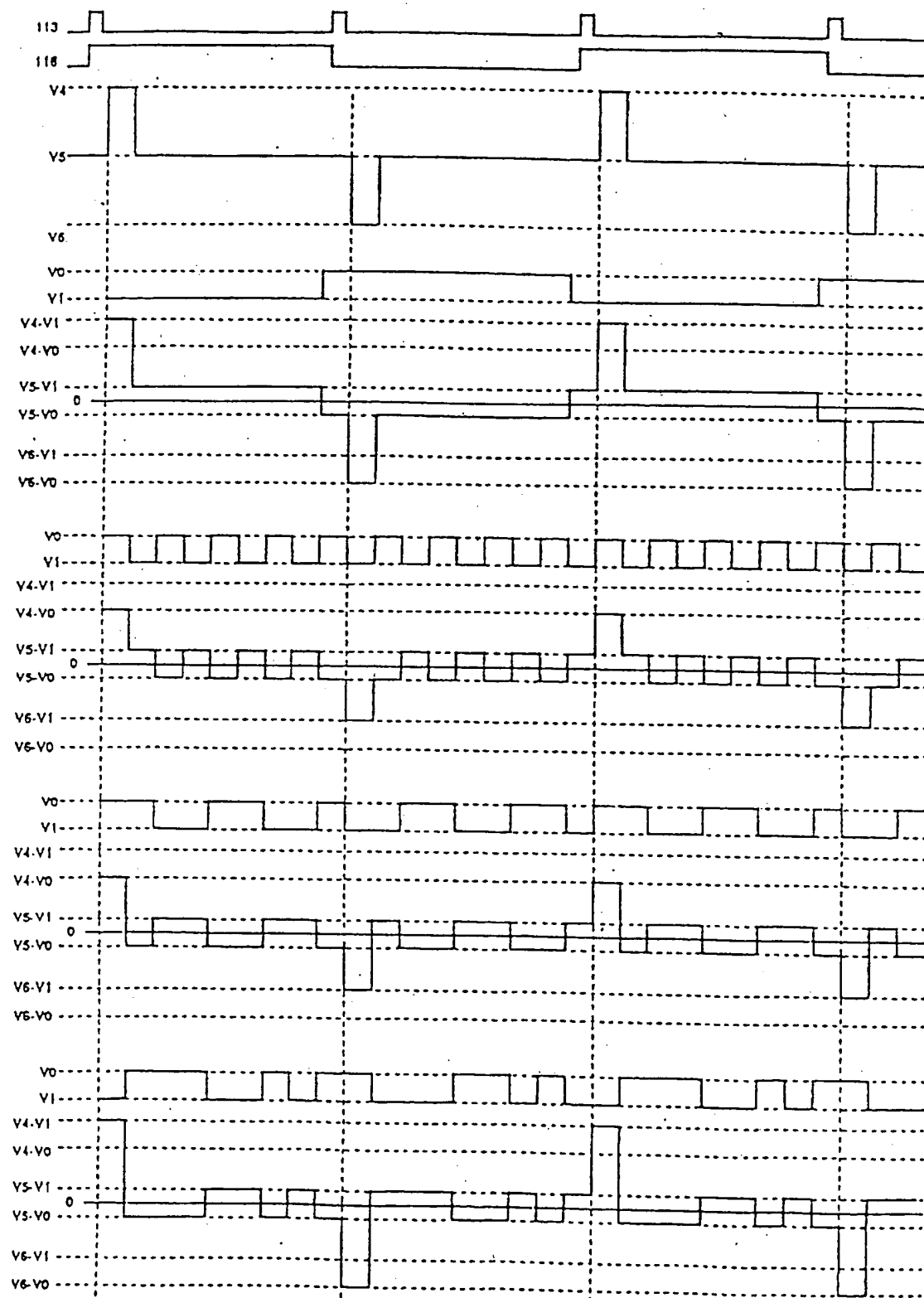


270993

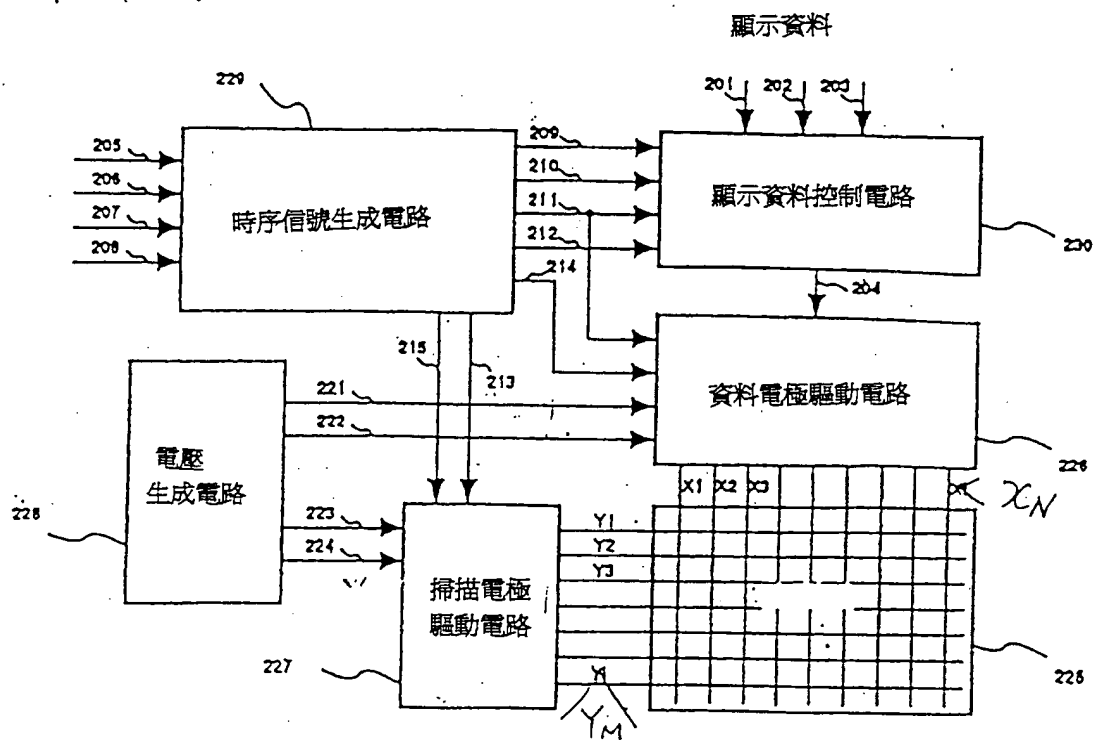
第 44 圖



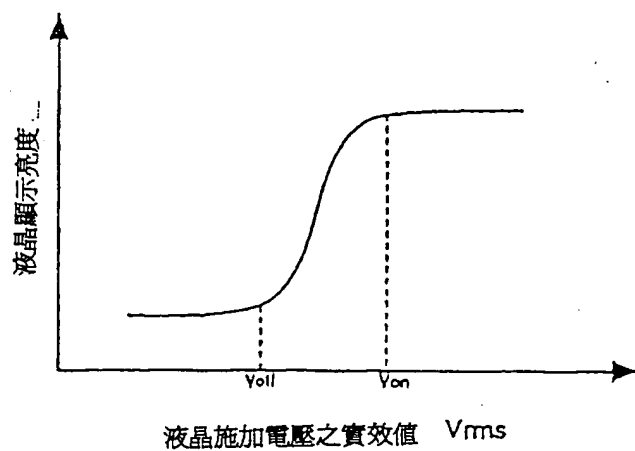
第 45 圖



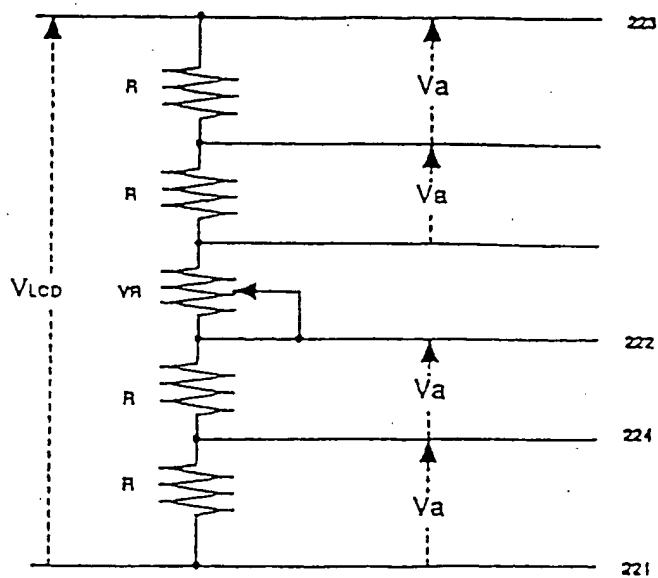
第 46 圖



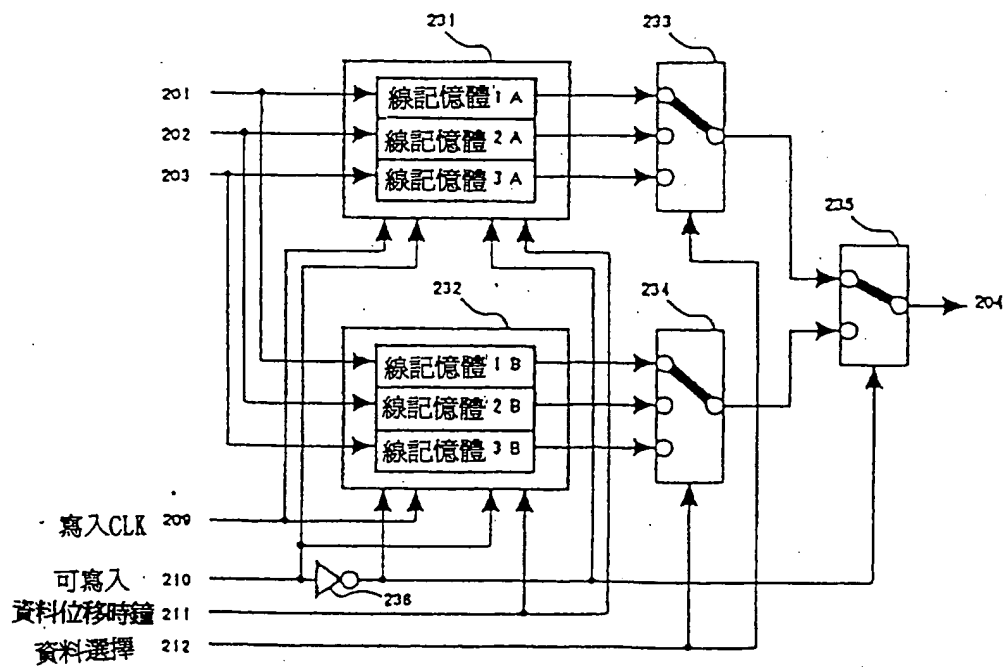
第 47 圖



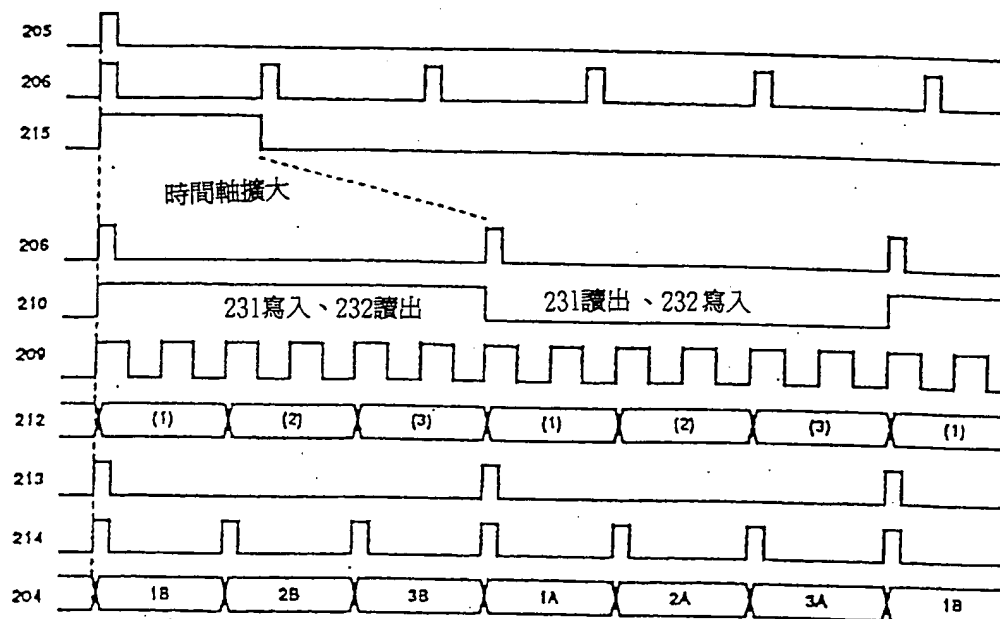
第 48 圖



第 49 圖

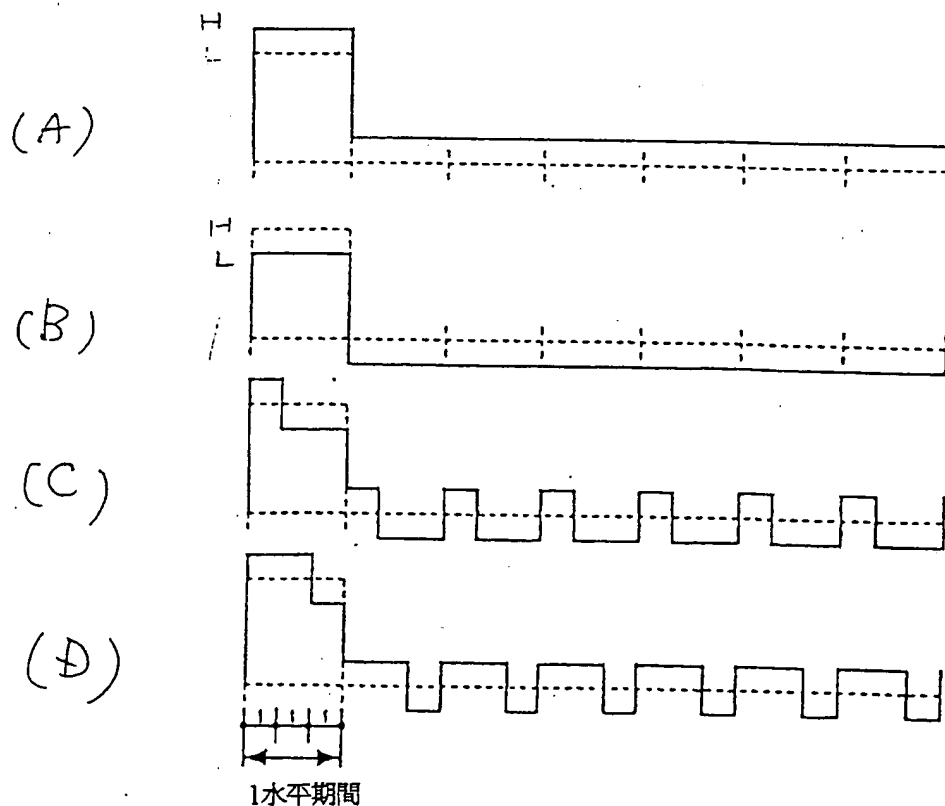


第 50 圖



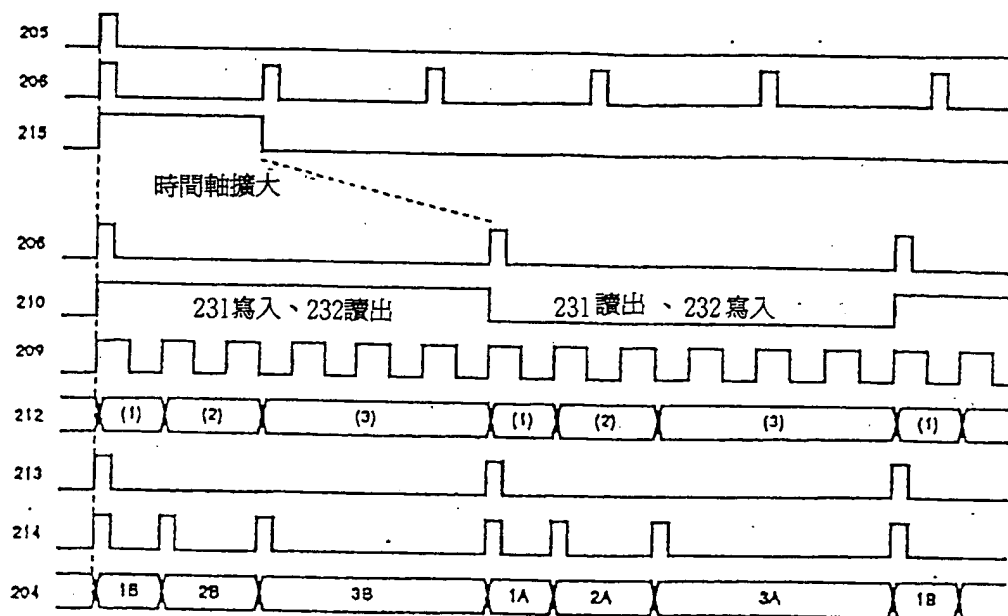
第 51 圖

顯示資料

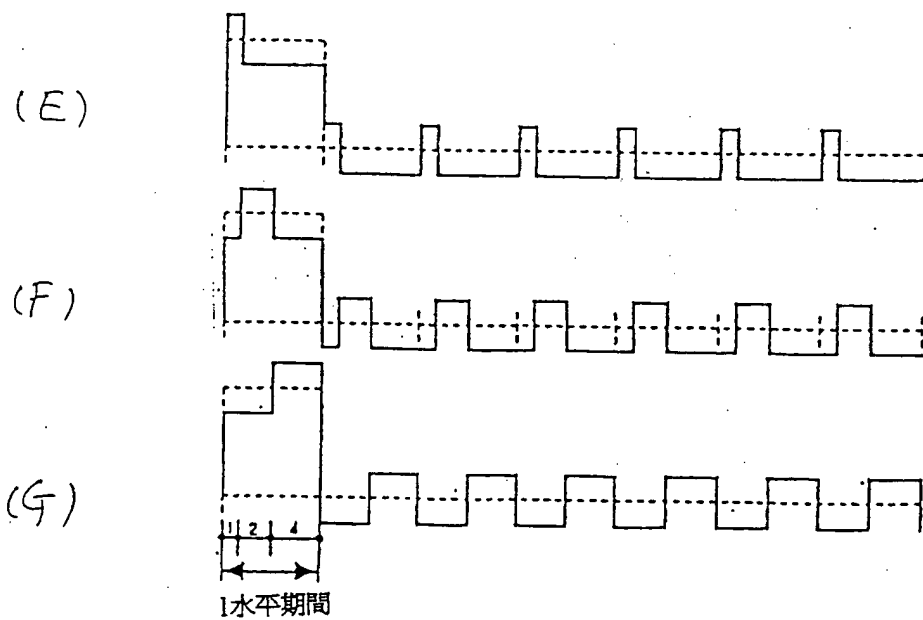


203	202	201
1	1	1
0	0	0
1	0	0
0	1	0
0	0	1
1	1	0
0	1	1
1	0	1

第 52 圖



第 53 圖



顯示資料

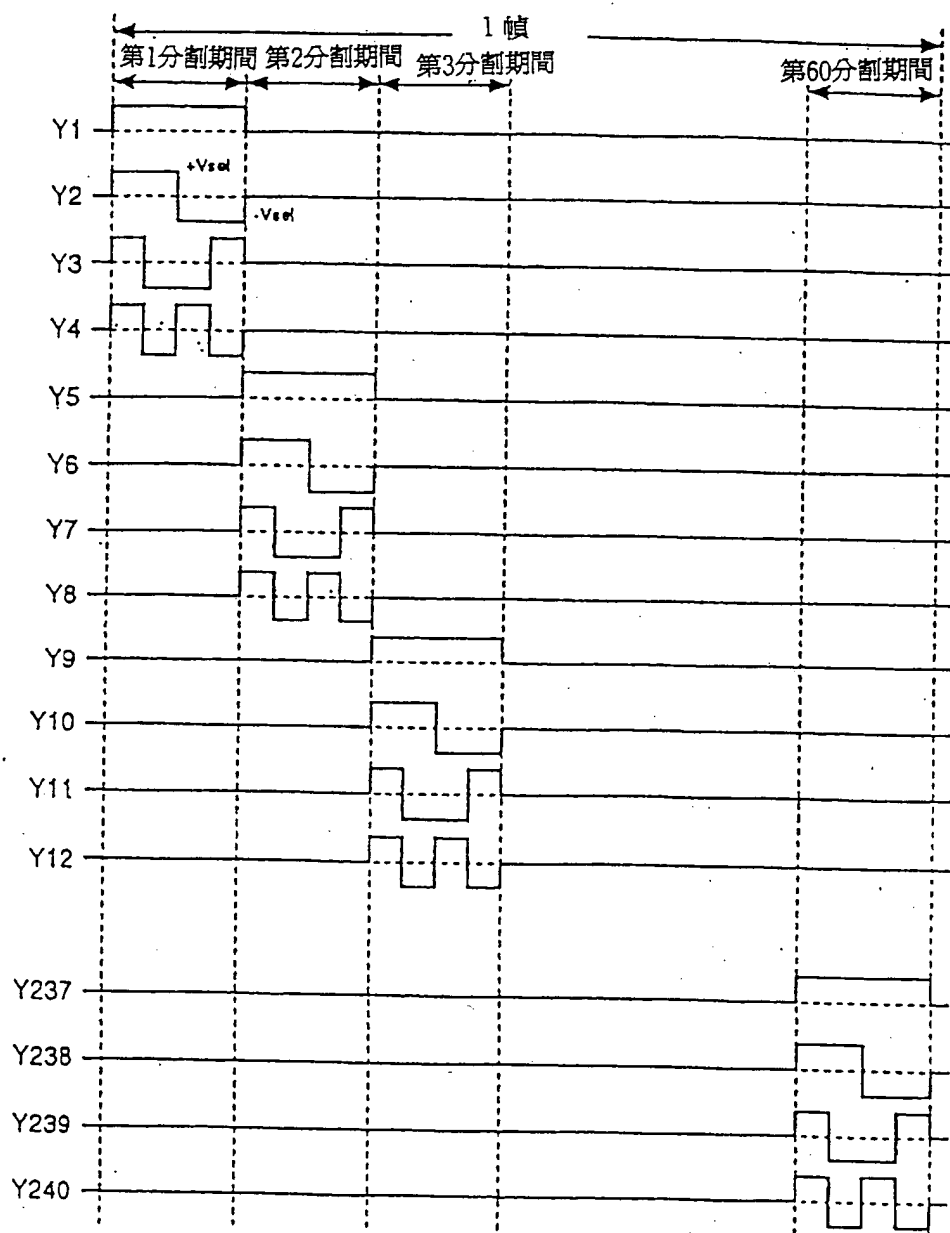
203 202 201

0 0 1

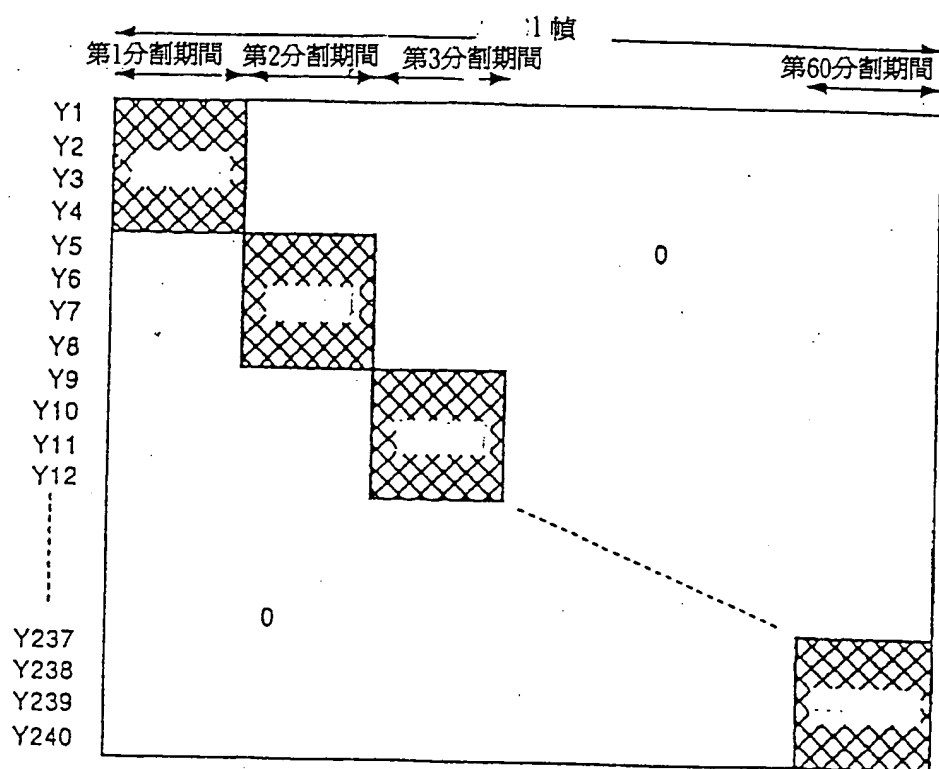
0 1 1

1 0 0

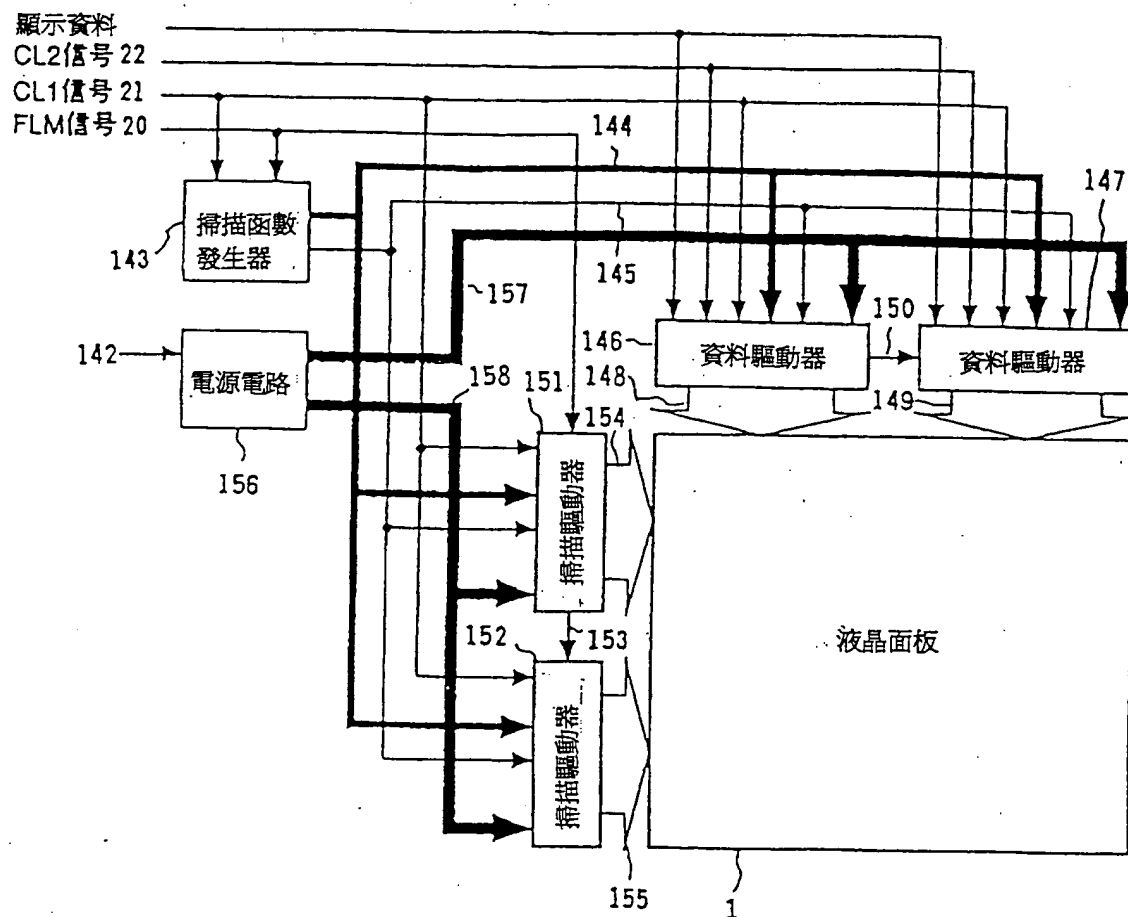
第 54 圖



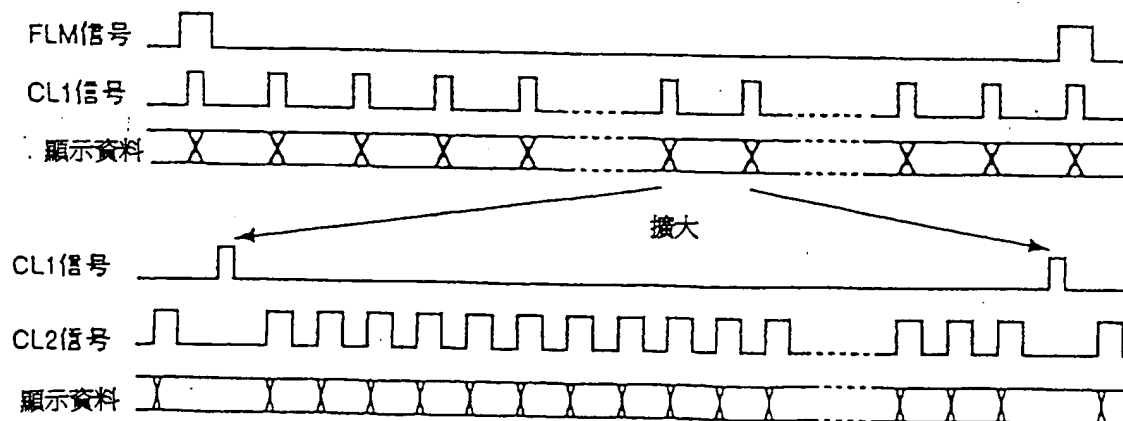
第 55 圖



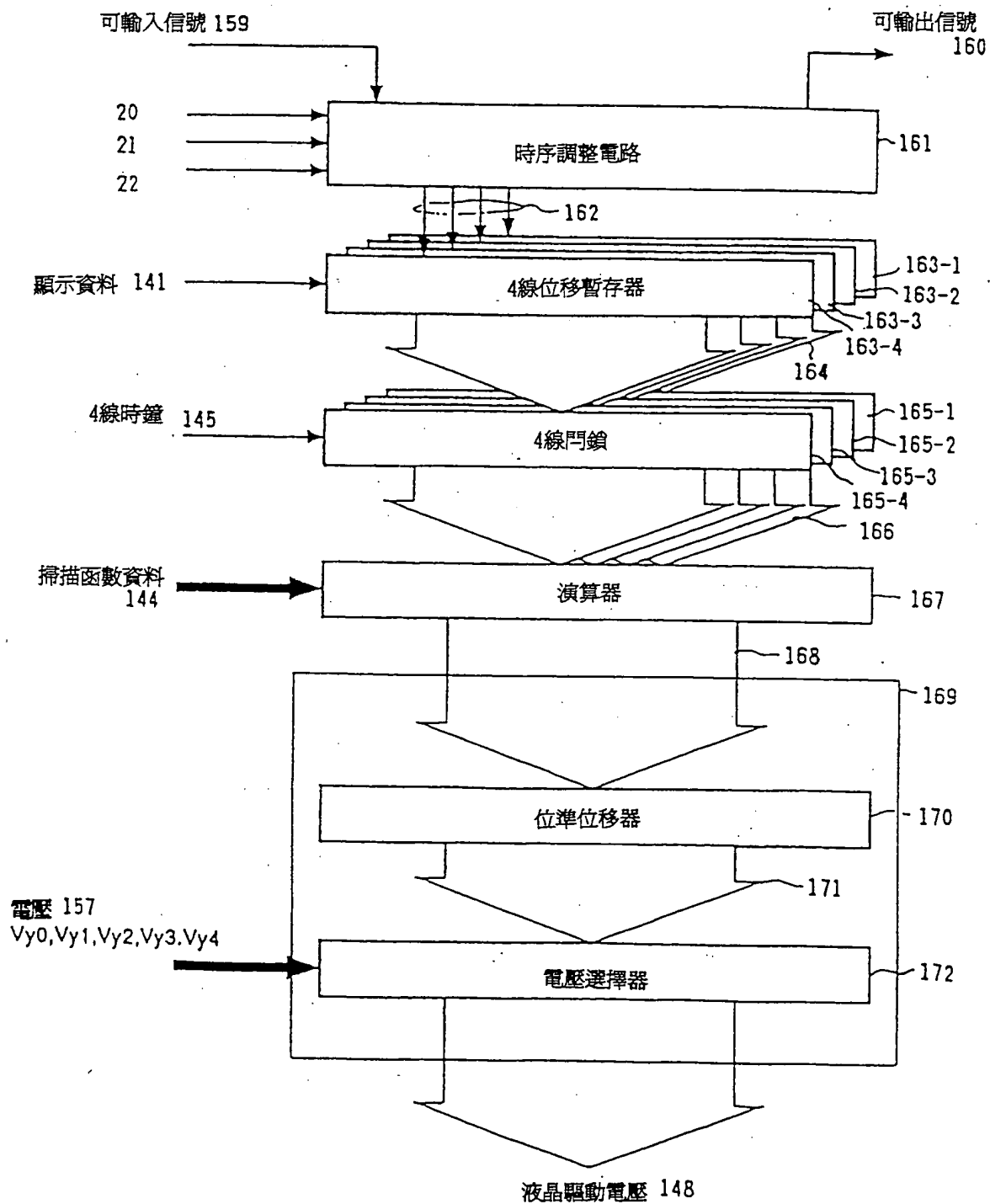
第 56 圖



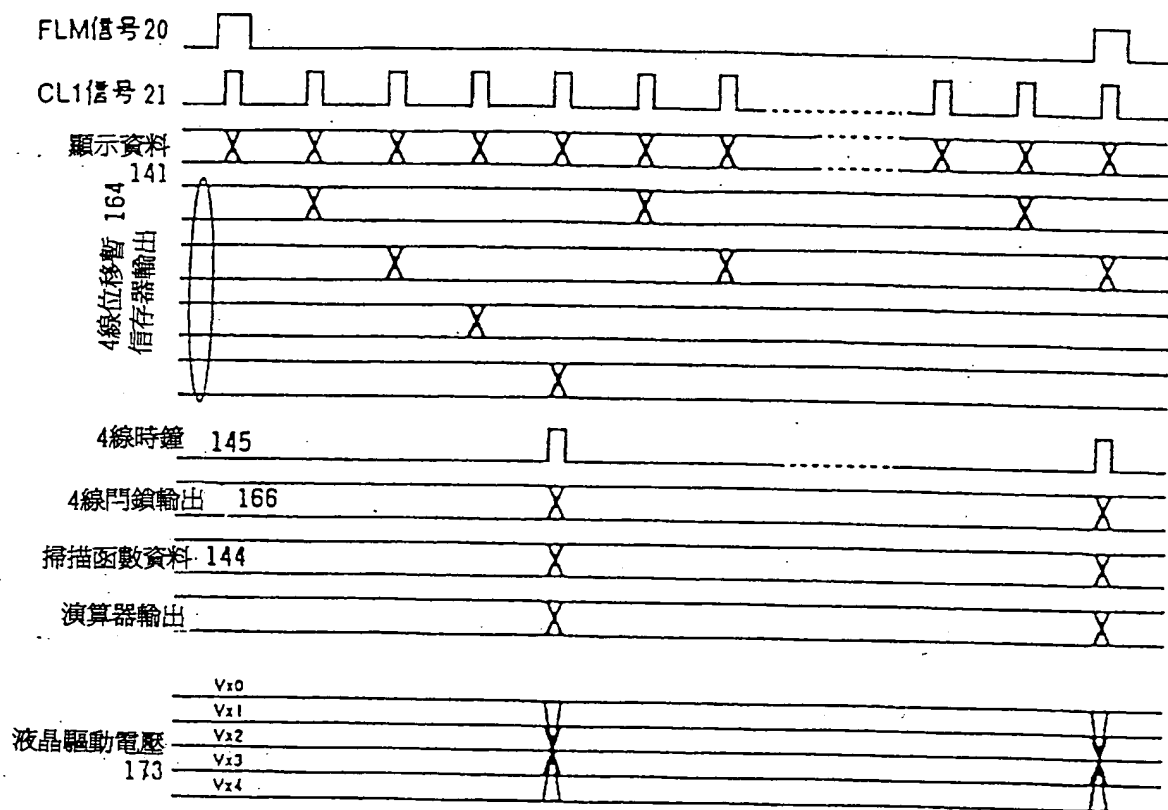
第 57 圖



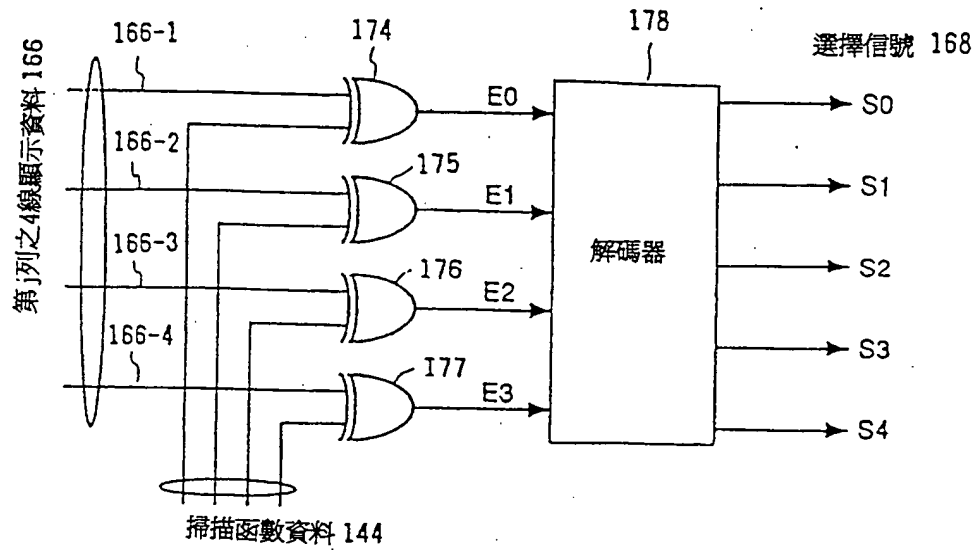
第 58 圖



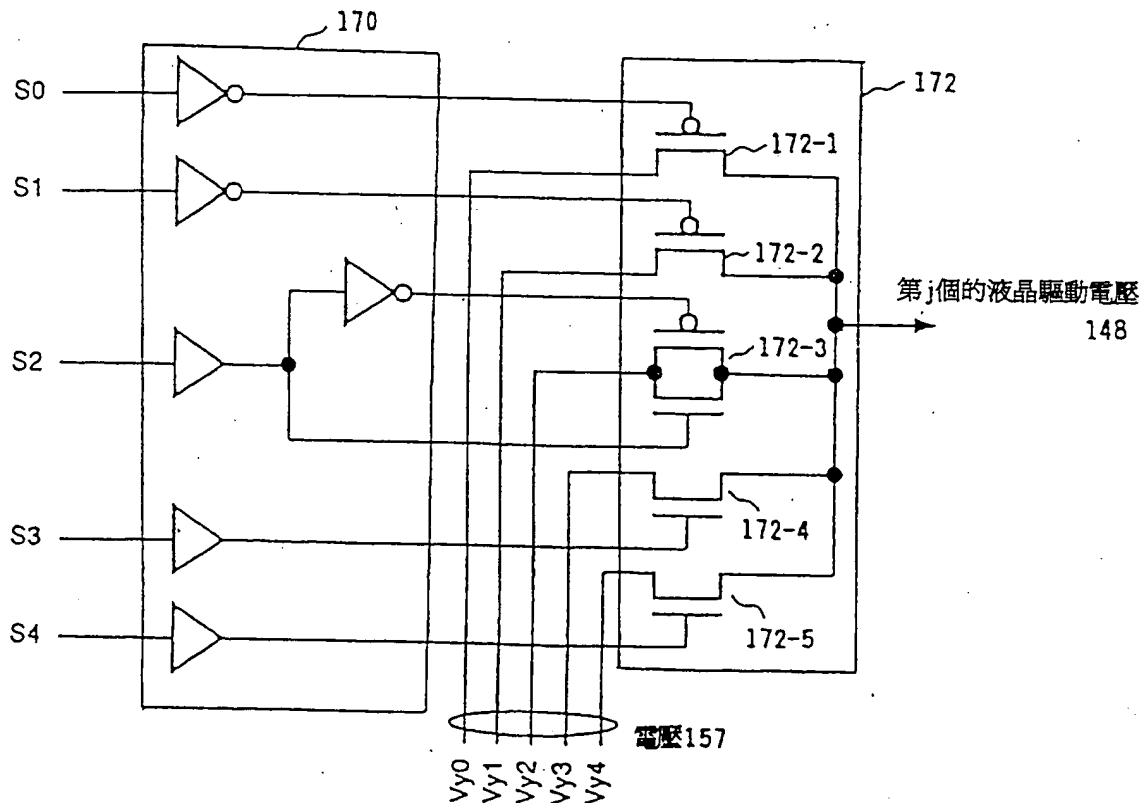
第 59 圖



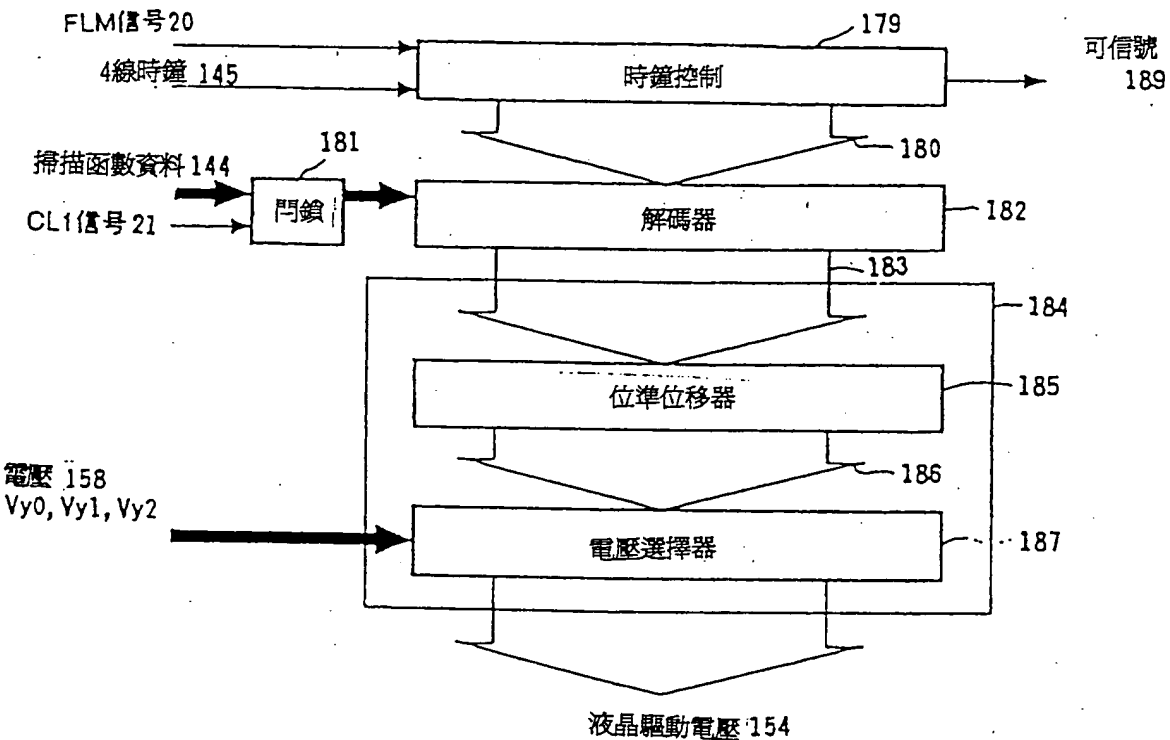
第 60 圖



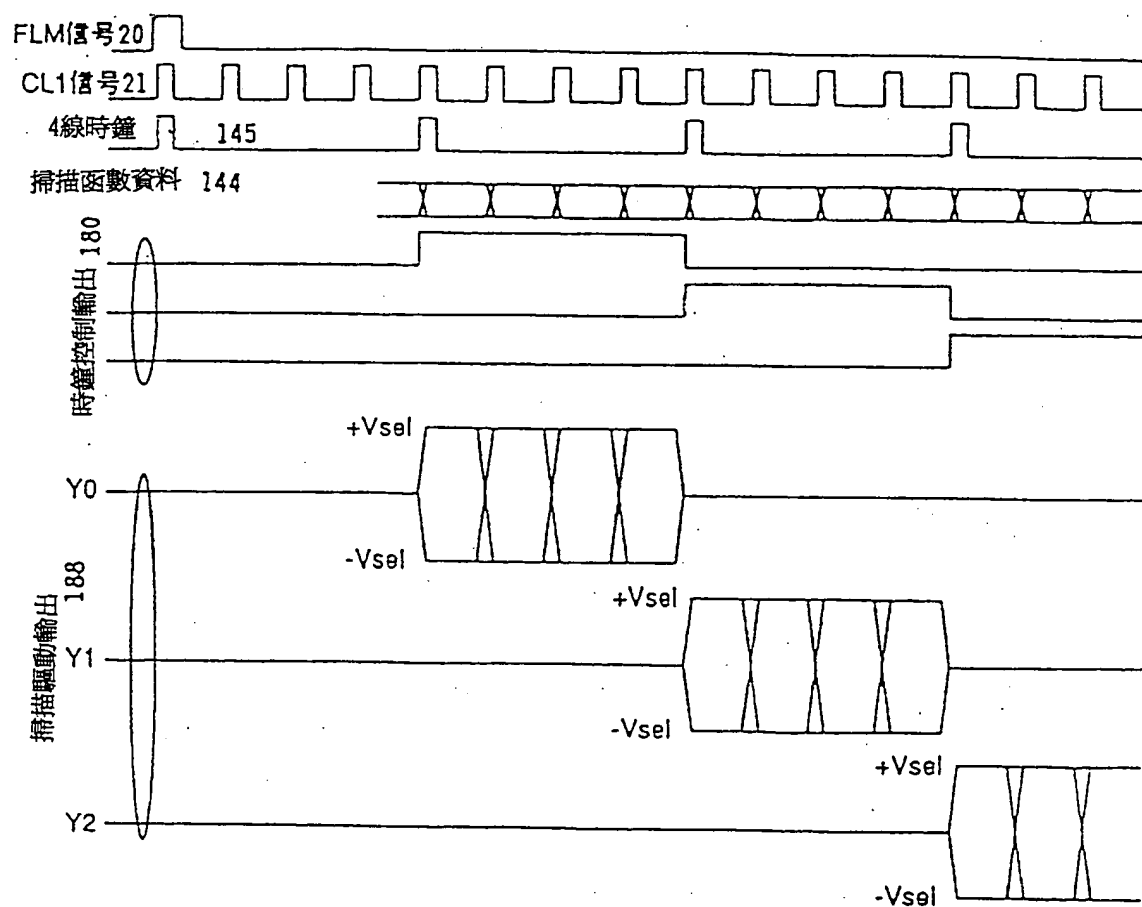
第 61 圖



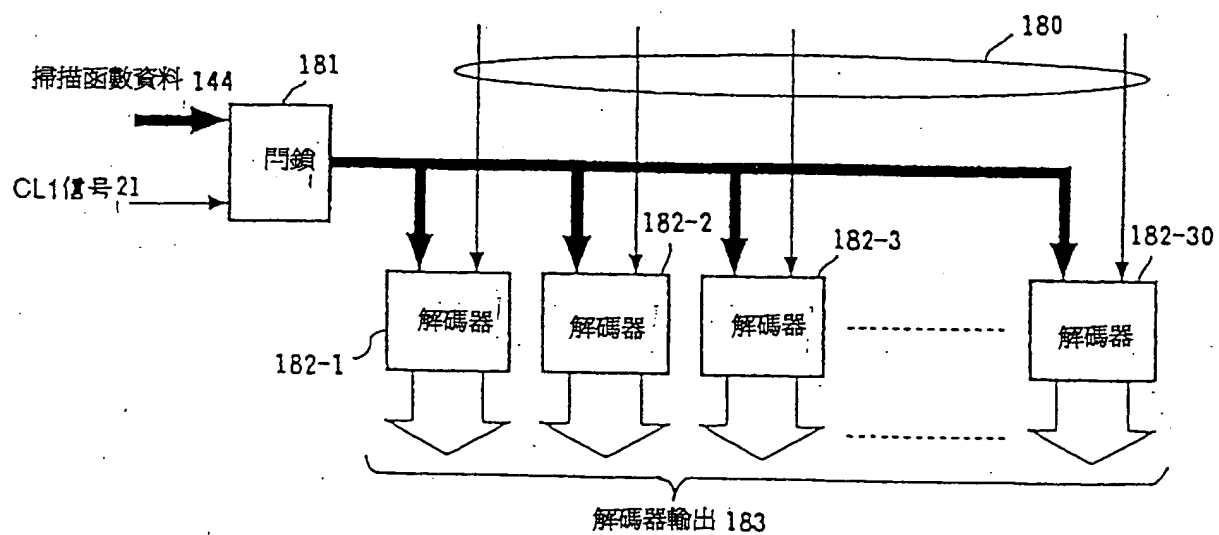
第 62 圖



第 63 圖



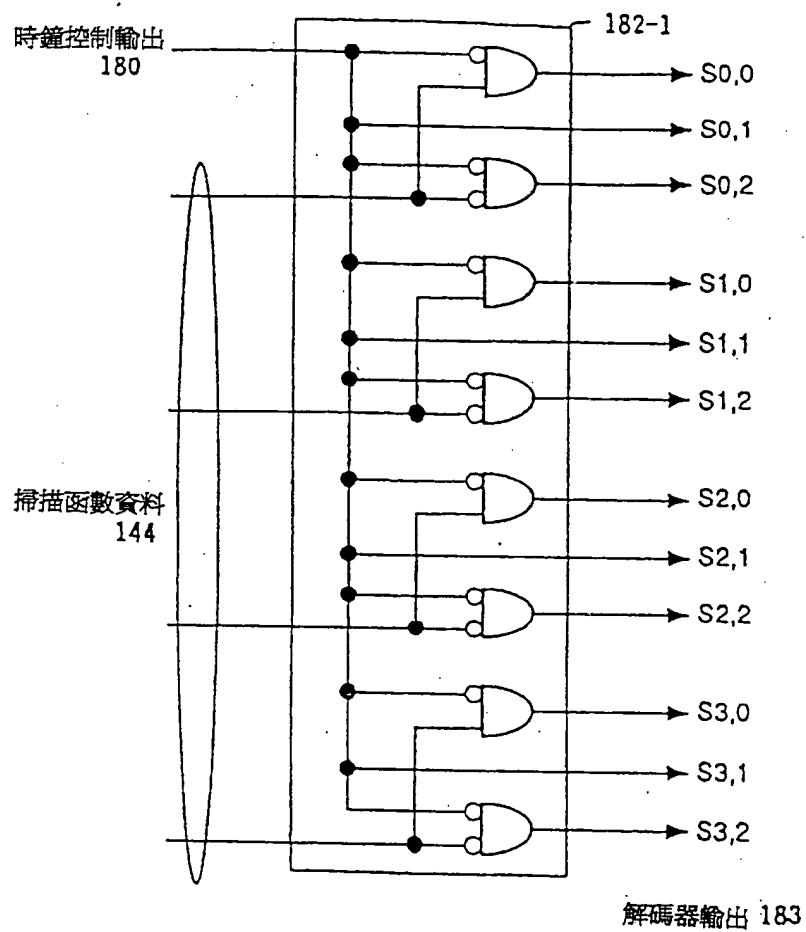
第 64 圖



270993

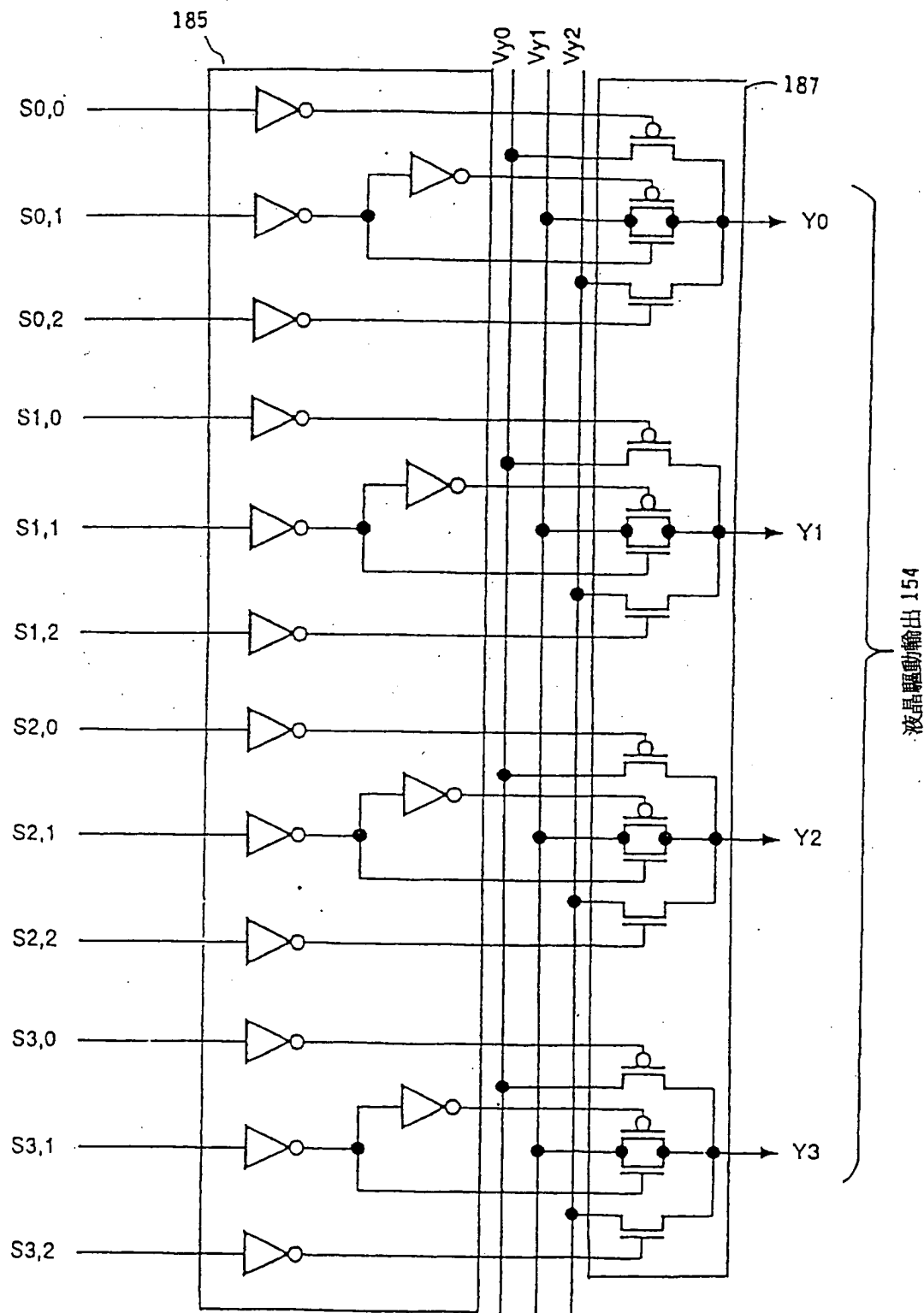
270993

第 65 圖

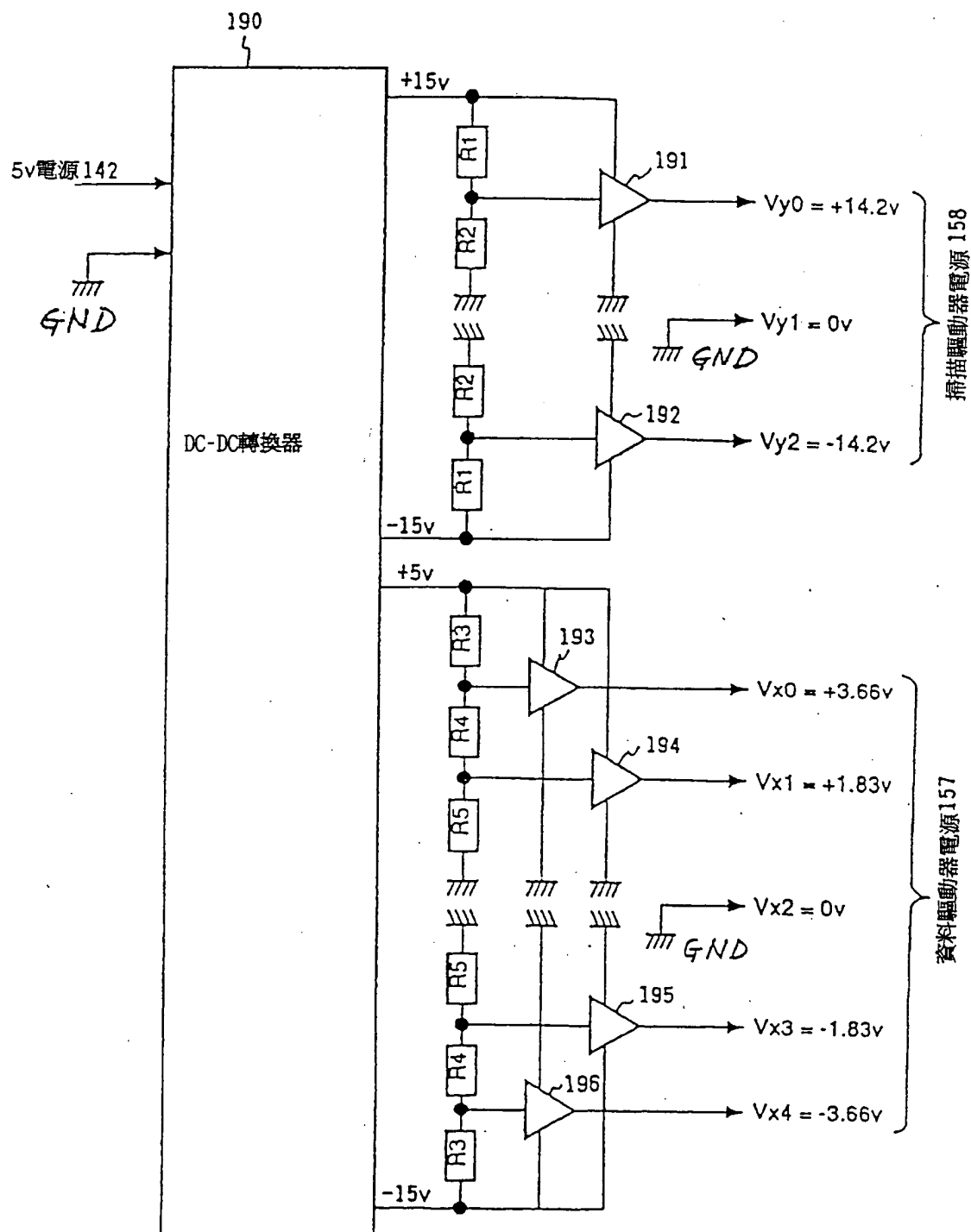


270993

第66圖

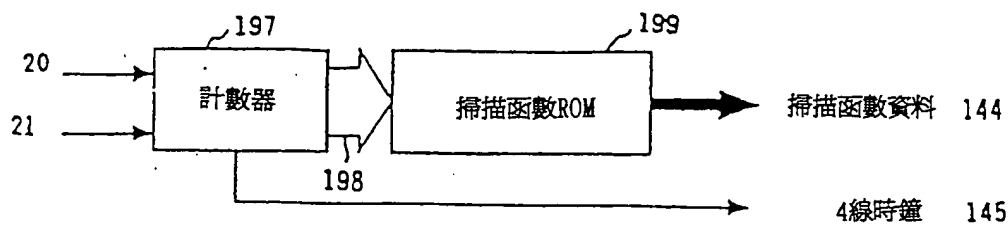


第 67 圖

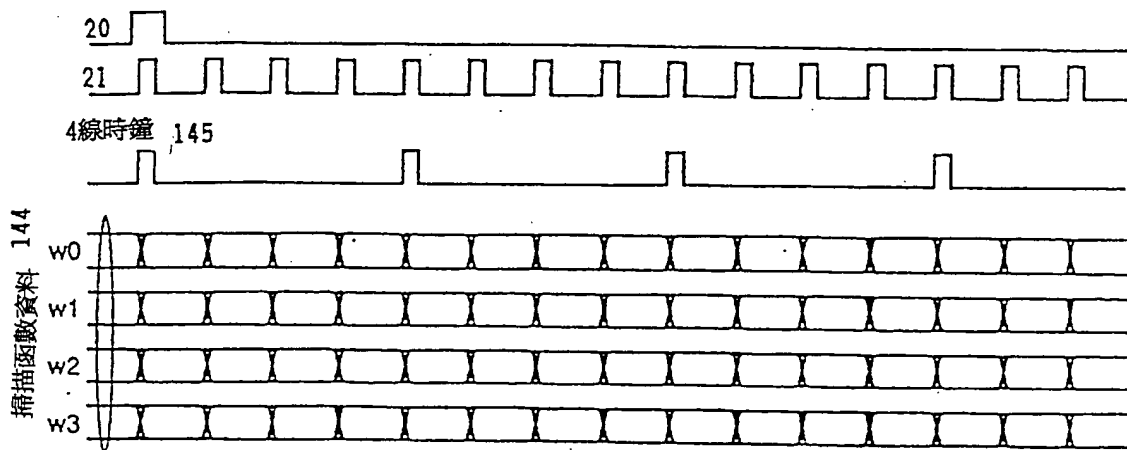


270993

第 68 圖



第 69 圖



第 70 圖

68.	幀	地址 198	掃描函數資料 144			
			W0	W1	W2	W3
偶數		0	1	1	1	1
		1	1	1	0	0
		2	1	0	0	1
		3	1	0	1	0
		4	1	1	1	1
		5	1	1	0	0
		6	1	0	0	1
		7	1	0	1	0
	
		236	1	1	1	1
		237	1	1	0	0
		238	1	0	0	1
		239	1	0	1	0
奇數		0	0	0	0	0
		1	0	0	1	1
		2	0	1	1	0
		3	0	1	0	1
		4	0	0	0	0
		5	0	0	1	1
		6	0	1	1	0
		7	0	1	0	1
	
		236	0	0	0	0
		237	0	0	1	1
		238	0	1	1	0
		239	0	1	0	1

270993

第71圖

幀	地址 198	掃描函數資料 144			
		W0	W1	W2	W3
偶數	0	1	1	1	1
	1	1	1	0	0
	2	1	0	0	1
	3	1	0	1	0
	4	1	1	1	1
	5	1	0	0	1
	6	0	0	1	1
	7	0	1	0	1
	⋮	⋮	⋮	⋮	⋮
	236	1	1	1	1
	237	0	1	1	0
	238	1	1	0	0
	239	0	1	0	1

幀	地址 198	掃描函數資料 144			
		W0	W1	W2	W3
奇數	0	0	0	0	0
	1	0	0	1	1
	2	0	1	1	0
	3	0	1	0	1
	4	0	0	0	0
	5	0	1	1	0
	6	1	1	0	0
	7	1	0	1	0
	⋮	⋮	⋮	⋮	⋮
	236	0	0	0	0
	237	1	0	0	1
	238	0	0	1	1
	239	1	0	1	0

第72圖

幀	地址 198	掃描函數資料 144			
		W0	W1	W2	W3
偶數	0	1	1	1	1
	1	1	1	0	0
	2	1	0	0	1
	3	1	0	1	0
	4	0	0	0	0
	5	0	0	1	1
	6	0	1	1	0
	7	0	1	0	1
	⋮	⋮	⋮	⋮	⋮
	236	0	0	0	0
	237	0	0	1	1
	238	0	1	1	0
	239	0	1	0	1

幀	地址 198	掃描函數資料 144			
		W0	W1	W2	W3
奇數	0	0	0	0	0
	1	0	0	1	1
	2	0	1	1	0
	3	0	1	0	1
	4	1	1	1	1
	5	1	1	0	0
	6	1	0	0	1
	7	1	0	1	0
	⋮	⋮	⋮	⋮	⋮
	236	1	1	1	1
	237	1	1	0	0
	238	1	0	0	1
	239	1	0	1	0

第 73 圖

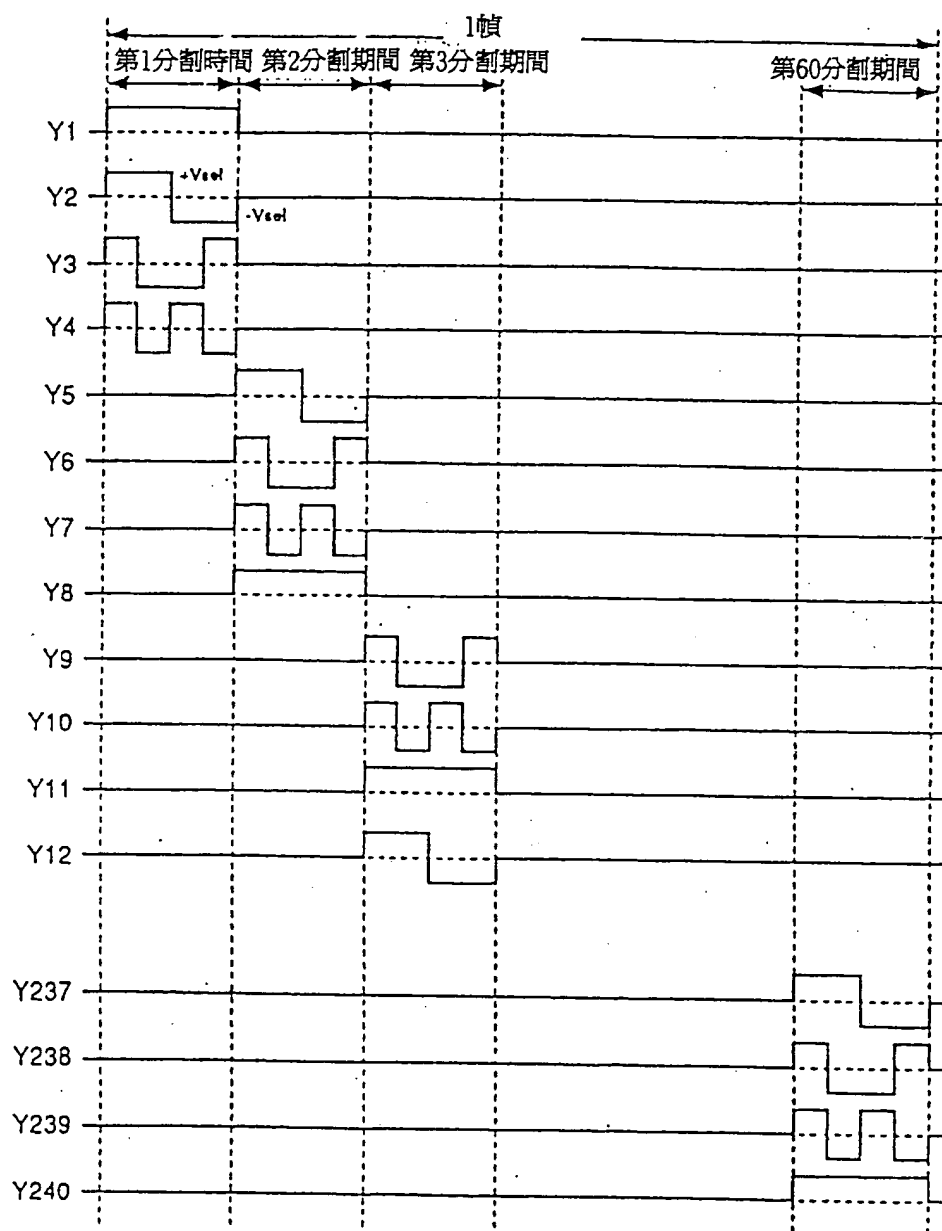
幀	地址 198	掃描函數資料 144			
		W0	W1	W2	W3
第1	0	1	1	1	1
	1	1	1	0	0
	2	1	0	0	1
	3	1	0	1	0
	4	1	1	1	1
	5	1	1	0	0
	6	1	0	0	1
	7	1	0	1	0
	⋮	⋮	⋮	⋮	⋮
	236	1	1	1	1
	237	1	1	0	0
	238	1	0	0	1
	239	1	0	1	0

幀	地址 198	掃描函數資料 144			
		W0	W1	W2	W3
第2	0	0	0	0	0
	1	0	1	1	0
	2	1	1	0	0
	3	1	0	1	0
	4	0	0	0	0
	5	0	1	1	0
	6	1	1	0	0
	7	1	0	1	0
	⋮	⋮	⋮	⋮	⋮
	236	0	0	0	0
	237	0	1	1	0
	238	1	1	0	0
	239	1	0	1	0

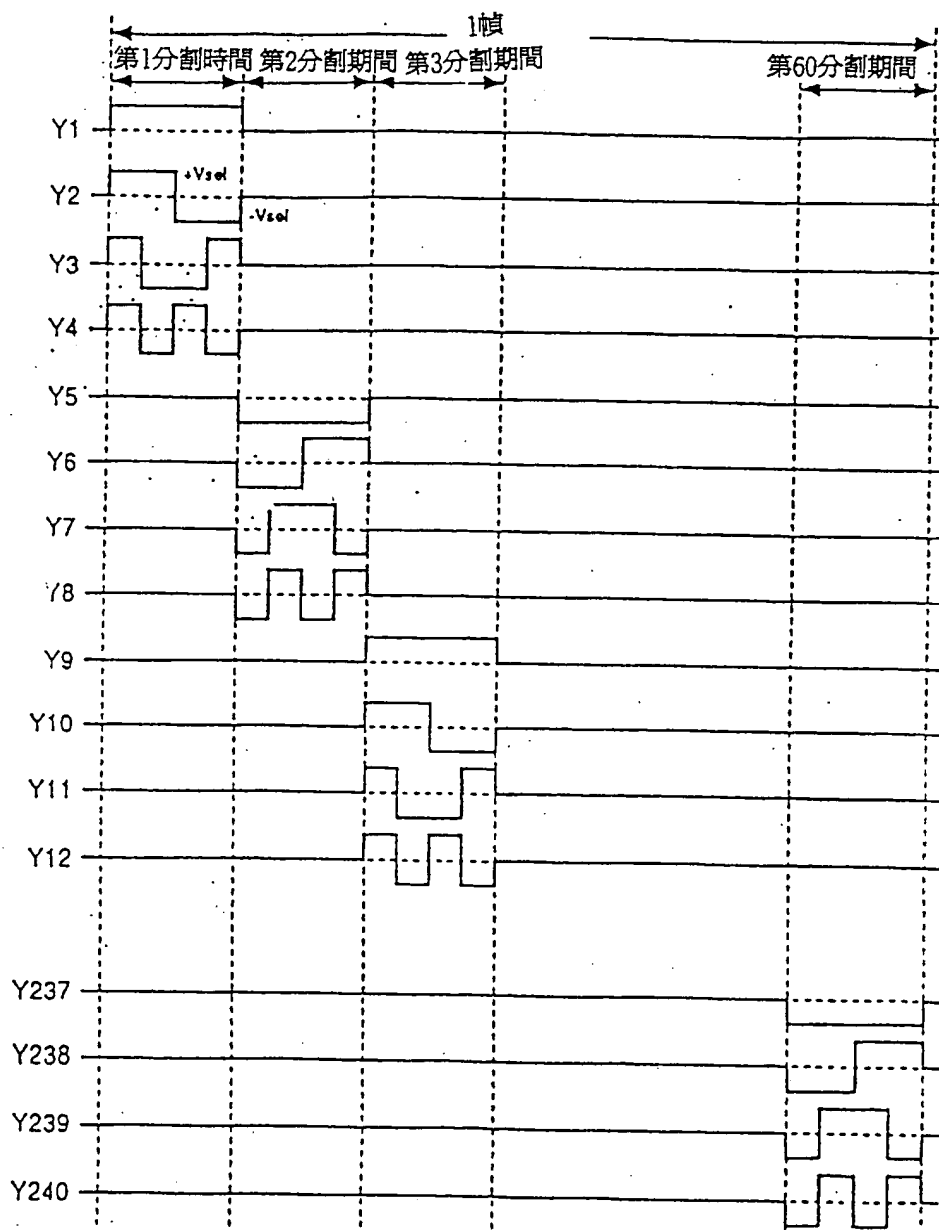
幀	地址 198	掃描函數資料 144			
		W0	W1	W2	W3
第3	0	1	1	1	1
	1	0	0	1	1
	2	0	1	1	0
	3	1	0	1	0
	4	1	1	1	1
	5	0	0	1	1
	6	0	1	1	0
	7	1	0	1	0
	⋮	⋮	⋮	⋮	⋮
	236	1	1	1	1
	237	0	0	1	1
	238	0	1	1	0
	239	1	0	1	0

幀	地址 198	掃描函數資料 144			
		W0	W1	W2	W3
第4	0	0	0	0	0
	1	1	0	0	1
	2	0	0	1	1
	3	1	0	1	0
	4	0	0	0	0
	5	1	0	0	1
	6	0	0	1	1
	7	1	0	1	0
	⋮	⋮	⋮	⋮	⋮
	236	0	0	0	0
	237	1	0	0	1
	238	0	0	1	1
	239	1	0	1	0

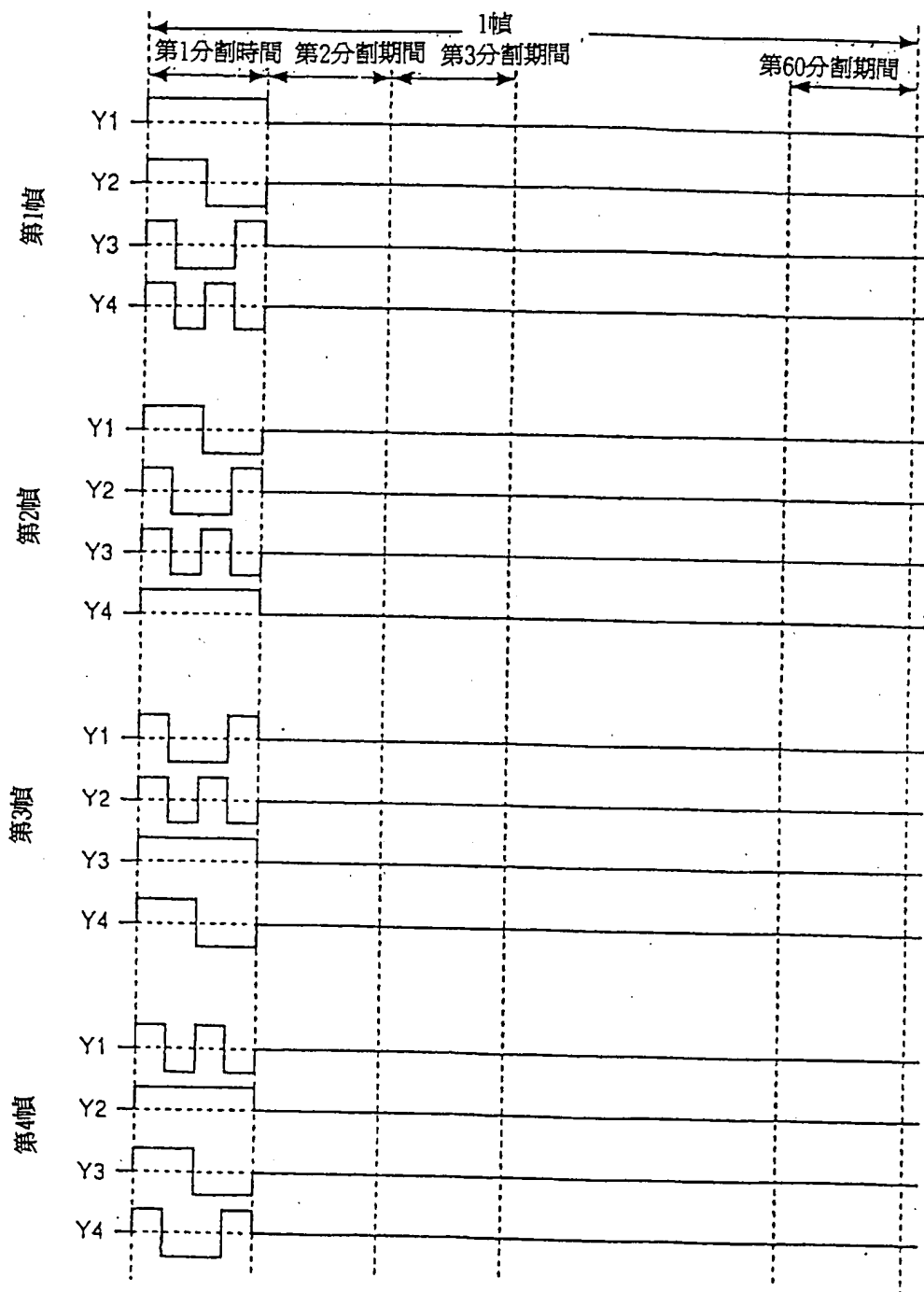
第 74 圖



第 75 圖



第 76 圖



Pub. No.: TW 270993

Pub. Date: February 21, 1996

TITLE:

MATRIX-TYPED LIQUID CRYSTAL DISPLAY APPARATUS AND DRIVING
CIRCUIT THEREOF

ABSTRACT:

The present invention discloses a liquid crystal display (LCD) apparatus, and more particularly to a simple Matrix-typed LCD apparatus which has characteristic of high contrast so as to be as a multi-grey display liquid crystal driving system. The LCD apparatus includes N (N belongs to positive integer) data electrodes, M (M belongs to positive integer) scan electrodes, LCD panel having pixels disposed at the cross between the data electrode and the scan electrode, and a data electrode driving circuit. The data electrode driving circuit has a memory device for showing the reading and writing of the data, a write-in control circuit for controlling data to be written into the memory device, a read-out controlling circuit for reading out the data which is corresponding to N data electrodes from the memory device in a period which is different from write-in period, and a output circuit for transferring the data into a display voltage and transmitting the display voltage to the data electrodes.

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.